

EP 86809 (2)

XP-002369788

(C) WPI / DERWENT

2/5

AN - 2001-555570 [62]

AP - KR19990033347 19990813

CPY - SMSU

DC - L01

FS - CPI

IC - C03B33/02

IN - CHOO D H; JUNG S U

MC - L01-G07

PA - (SMSU ) SAMSUNG ELECTRONICS CO LTD

PN - KR2001017690 A 20010305 DW200162 C03B33/02 001pp

PR - KR19990033347 19990813

XA - C2001-165304

XIC - C03B-033/02

AB - KR2001017690 NOVELTY - A process for cutting glass substrate, especially, the corner of glass substrate, by laser-cutting apparatus is provided to minimize the cutting inferiority arising from spreading of crack, which is characterized in that an internal crack is formed along the line to be cut on a glass substrate by the first laser, then cutting is performed by the second laser.

- DETAILED DESCRIPTION - The process comprises the steps of: setting up a line to be cut on a glass substrate, a liquid crystal display panel(300); aligning a focus of the first laser beam comprising at least two laser beam with the line; deriving a crack inside the glass substrate corresponding to the line to be cut by overlapping the first laser from a laser device(210); applying the second laser from a laser device(220) along the line to be cut to heat the glass rapidly; supplying a cooling liquid to the line to cool the glass rapidly.

- (Dwg.1/10)

IW - LASER CUT APPARATUS PROCESS CUT GLASS SUBSTRATE

IKW - LASER CUT APPARATUS PROCESS CUT GLASS SUBSTRATE

INW - CHOO D H; JUNG S U

NC - 001

OPD - 1999-08-13

ORD - 2001-03-05

PAW - (SMSU ) SAMSUNG ELECTRONICS CO LTD

TI - Laser-cutting apparatus and process for cutting glass substrate thereby

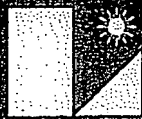
FP03-0050 - 00EP-HP
06.3.14
SEARCH REPORT

# レーザー加工学会誌

Journal of Japan Laser Processing Society

特集 レーザダイシング

Vol. 12, No.1  
2005  
February



レーザー加工学会

Japan Laser Processing Society



# レーザー加工学会誌

Journal of Japan Laser Processing Society

Vol. 12, No. 1  
2005  
February

## 特 集

切断における温度計測	1	上田隆司
レーザーダイシング技術の開発	6	高橋邦充, 清水幸喜, 森数洋司, 生越信守, 竹山晃一, 若山洋司, 小原哲郎
電子材料のレーザー切断加工	11	沢田博司
ステルスダイシング技術とその応用	17	福世文嗣

## 講 義

深溶込みレーザー溶接現象と欠陥の防止	24	塚本 進, 川口 勲
フェムト秒レーザーパルスによるシリカガラス内部における光学素子の作製	30	山田和宏

## 総 合 論 文

六方晶窒化ホウ素の遠紫外光領域における発光特性	37	渡邊賢司, 谷口 尚, 神田久生
カーボンナノチューブを利用したフェムト秒光ファイバレーザー	40	山下真司, セット ジ イオン

## 新製品・新技術紹介

レーザトビックス	44
レーザ関連カレンダー	47
第 62 回レーザー加工学会講演要旨	49
会告	56
LPM2005	57
会則	61

# ステルスダイシング技術とその応用

福世文嗣

浜松ホトニクス株式会社 電子管事業部 電子管技術部  
(〒438-0193 静岡県磐田郡豊岡村下神増 314-5)

The Stealth Dicing Technologies and Their Applications

FUKUYO Fumitsugu

(Received November 10, 2004)

Key words: laser, stealth dicing, semiconductor, wafer

## 1. 緒言

次世代ダイシング技術として実用化段階に入ったステルスダイシングプロセスには従来ダイシング方式と比較して以下に示すような優位性がある。

- ・ 高速ダイシング
- ・ 高品質(チップングレス・発塵レス)
- ・ 高抗折強度(極薄チップ)
- ・ 低カーフロス(チップ収率向上)
- ・ 完全ドライプロセス
- ・ 低ランニングコスト

当初、極薄半導体ウェーハの高速・高品位ダイシングを目的として実用化を推進してきたが、上述した優位性からその適用範囲を通常厚の超高速 Low-k デバイスウェーハや MEMS デバイスウェーハにも拡大している。

本稿では今後、実用化が加速するステルスダイシング技術の基本原則、機構及びその応用例に関して記述する。

## 2. ステルスダイシング技術の基本概念及び原理機構

### 2.1 ステルスダイシング技術の基本概念

ステルスダイシングの基本概念を図1に示す。

半導体ウェーハに対して透過性となる波長のレーザー光を

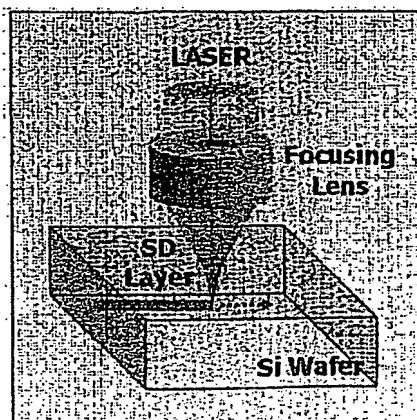


図1 ステルスダイシングの基本概念

対物レンズ光学系で半導体ウェーハ内部に焦点を結ぶように集光する。

集光性が非常に高く回折限界レベルまで集光可能で、高繰り返し短パルス発振可能なレーザービームは、集光点付近で時間的・空間的に圧縮されて局所的に非常に高いピークパワー密度状態を形成する。

半導体ウェーハに対して透過性を示していたレーザービームが、その集光過程において、あるピークパワー密度閾値を超えると、非線形吸収効果より、局所的に非常に高い吸収特性を示す現象が発生する。

光学系及びレーザー特性の最適化により、半導体ウェーハ内部の焦点付近でのみ非線形吸収効果が発生するようにして半導体ウェーハ内部の表面や裏面にダメージを与えず、内部にのみ局所的・選択的なレーザー加工を可能にしている。

レーザービームと半導体ウェーハの相対位置をダイシングパターンに応じてステージ等の移動機構により高速スキャンをしてダイシング加工を実現している。

図2に不純物が何もドーピングされていない Si 単結晶ウェーハの室温環境下における分光透過率特性<sup>1)</sup>を示す。

本特性はウェーハ表裏面での反射損失の影響を除いて、ウェーハ内部における純粋な分光透過率を示している。

ウェーハの仕様(厚さ、不純物元素及びその濃度)に大きく依存するが、一般的に Si 単結晶ウェーハは目安として

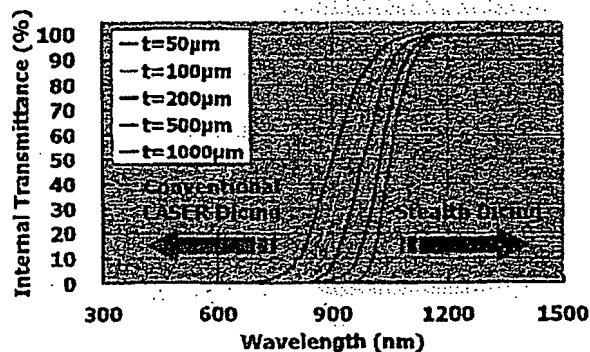


図2 Si単結晶ウェーハ分光透過率特性

波長 1000 nm 程度から短波長側の可視域～紫外領域では吸収特性を示すのに対して、長波長側の近赤外領域では透過特性を示す傾向がある。

このような光学特性を示す Si 単結晶ウェーハに対して、従来から様々なレーザーダイシング方式が検討されている。

従来方式ではダイシング対象となる Si 単結晶等の半導体ウェーハに対して、レーザー入射面からレーザーエネルギーを積極的に吸収させて発生する溶融切断、蒸散(アブレーション)及び熱割断といった物理現象が利用されている。

従来レーザーダイシング方式の殆どがダイシング対象材質に対して吸収の高い波長のレーザーを採用しているため、原理的にレーザー加工時に発生する熱影響やデブリ汚染がデバイス特性や信頼性に与える影響が無視できず、大きな課題となっている。

これに対してステルスダイシングは上述の通り、ダイシング対象となる Si 単結晶等の半導体ウェーハに対して、透過性の波長を利用しているため、ウェーハ内部の焦点付近までレーザー光を導光可能となり、ウェーハ内部への局所的・選択的なレーザー加工が実現可能となる。

そのため、実際にデバイスが形成されるウェーハ表面部へダメージがなく、従来のアブレーション方式のレーザーダイシング技術で課題となっているアクティブ領域への熱影響やデブリ汚染、チップエッジにおけるマイクロクラック発生による抗折強度低下等の信頼性に与える影響がステルスダイシングでは解決可能となる。

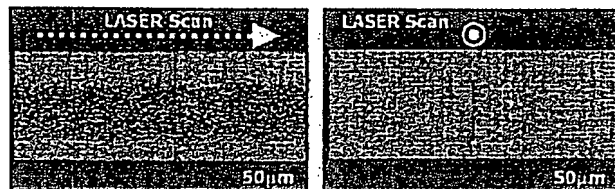
実際にステルスダイシングで分離した 100 μm 厚の Si ウェーハサンプル端面の顕微鏡観察結果を図3に示す。

図1で示した概念図のレーザーキャン方向(図中点線矢印表記)に関して、図3の(a)はステルスダイシングによってレーザーキャン方向に分離されたサンプルの断面を示しており、(b)はレーザーキャンに対して垂直な方向に壁開スライスした分離前のサンプル端面を示している。

サンプルの厚さ 100 μm 方向の中央部に 40 μm 程度の幅で厚さ数 μm 程度のステルスダイシング層(SD 層)が形成されており、SD 層形成領域の上下端からチップ表面方向に向かって垂直なクラックが発生している様子が伺える。

チップ分離性はこの垂直クラックのチップ表面方向への成長に大きく依存している。

このようにステルスダイシングは対象材質をその材質“内部”から切断する方式であるため、対象材質を“外部”から切断する従来のレーザーダイシング方式とはその原理機構が全く異なっている。



(a)レーザーキャン面 (b)レーザーキャン垂直

図3 ステルスダイシングサンプルの顕微鏡

## 2.2 ステルスダイシング技術の基本概念

SD 層の定性的な状態を把握することを目的として、図4に示すようにステルスダイシングによって分離された厚さ 100 μm の Si サンプルチップを壁開スライスして TEM 観察による SD 層の結晶状態評価を実施した。

TEM 観察結果から SD 層領域の結晶状態は高密度転移を伴う多結晶 Si 状態に改質されており、その厚さが数 μm 程度であることが確認できる。

チップ分離機構を考察する上で図3(b)の SD 層形成領域の上下端からチップ表面方向に向かって発生している垂直クラックの成長が非常に重要となる。

厚さ 100 μm の Si サンプルを対象にレーザーキャン方向に対して垂直な面に壁開スライスしたサンプルに関して、未分離の状態でラマン分光分析により SD 層及びその周辺の応力分布解析を実施した評価結果を図5に示す。

(a)で示される SD 層周辺の 40 μm×40 μm エリアに関して、ラマン分光分析を実施し、そのラマンシフト量から(b)に示すような応力分布マッピングデータを取得した。

マッピングデータ上で+は圧縮応力(Compressive)、-は引張応力(Tensile)が作用していることを示し、その濃度が濃くなる程、より強力な応力が発生していることを示す。

図4で示した TEM 観察結果で高密度転移を伴う多結晶 Si 状態が観測された SD 層領域には非常に強力な圧縮応力が発生しており、その上下端に非常に強力な引張応力が発生している様子が伺える。

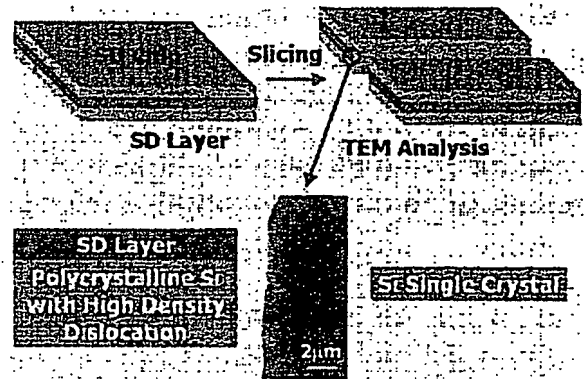
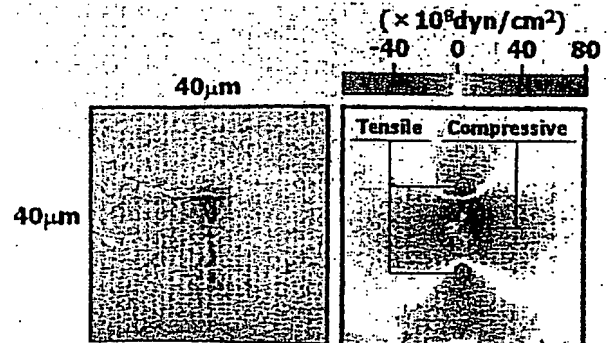


図4 TEM観察によるSD層の結晶状態評価



(a)光学顕微鏡観察 (b)応力分布解析結果

図5 ラマン分光分析による応力分布

SD 層領域で局所的な多結晶化に伴う体積膨張により、強力な圧縮応力が発生していると考えられる。

仮に SD 層が球形に形成されていれば、その周辺部の応力分布は SD 層から離れるに従って圧縮応力は徐々に緩和されるはずであるが、SD 層が非常に高いアスペクト比で形成されているため、SD 層上下端には非常に強力な引張応力が集中すると考えられる。

図3(b)で示した SD 層形成領域の上下端からチップ表面方向に向かって発生している垂直クラックは、局所的に非常に強力な圧縮応力が発生している高密度転移領域から発生しており、SD 層上下端に発生している非常に強力な引張応力によってチップ表面方向に向かって成長し易くなっているため、後述するテープエキスパンド等の外的応力によりチップ分離を可能にしていると考察できる。

以上がステルスダイシングの本質的な原理及び機構であると考えられる。

### 3. ステルスダイシング技術の適用

#### 3.1 ステルスダイシング技術の適用例

バックグラインド工程を伴う薄型半導体ウェーハのバックエンドプロセスに関して、従来のブレードダイシング (BD) 方式及びステルスダイシング (SD) 方式の適用例の実際の工程比較を図6に示す。

SD 方式の場合に BG 工程後、裏面研削面側からステルスダイシング加工を実施する。

従来方式が BD 時に完全にチップ分離されるのに対して、SD 方式の場合、ステルスダイシング後は個々のチップは依然として一体化したウェーハのままの状態であり、その後テープエキスパンドにより初めてチップ分離される。

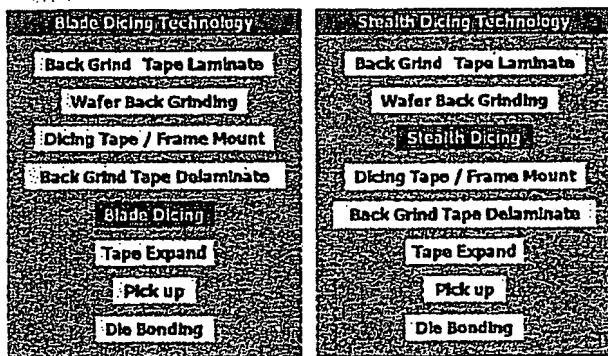


図6 実際の工程比較

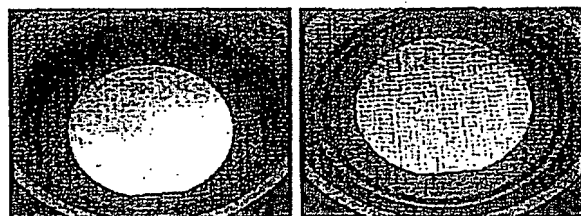


図7 テープエキスパンド分離

テープエキスパンドによりチップ分離される様子を示すテープエキスパンド前後の状態を図7に示す。

図7はウェーハ外径 6 inch、厚さ 100 μm のステルスダイシング加工済みサンプルがテープエキスパンドによって 5 mm×5 mm サイズのチップに分離される様子を示す。

その分離し易さの状態はステルスダイシング加工条件によって制御可能であるが、基本的にはテープエキスパンド時に発生するチップ間隔を拡大する方向に作用する力を利用して個々のチップに分離される。

実際のステルスダイシング加工済みデバイスウェーハにおけるテープエキスパンド前後のダイシングストリート交差点付近の様子を図8に示す。

ステルスダイシング加工後、テープエキスパンド前の状態では(a)に示すように外観上は何ら変化がない(これがステルスダイシングの由縁となっている)。

この状態でテープがエキスパンドされるに従って(b)のようにウェーハが SD 層形成パターンに沿って任意のチップ形状に小片化される。

(b)における黒い十字形状の領域はテープエキスパンドによって新たに形成されたカーブを示している。

ステルスダイシングにおけるテープエキスパンド分離は従来方式に存在するテープエキスパンド工程を適用可能であるため、従来方式と比較して工程数は変わらない。

その一方で従来方式のメカニカルなブレードによる研削加工と異なり、レーザーキャンによる非接触加工のため、加工速度の飛躍的な向上が可能となる。

加工速度と外観品質に関する BD 方式と SD 方式の定性的な比較を図9に示す。

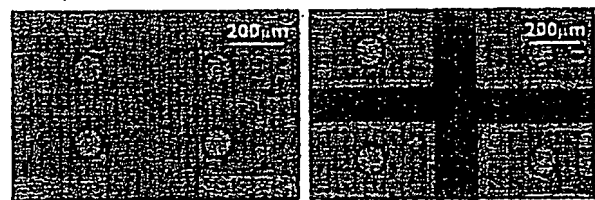


図8 テープエキスパンド前後のデバイスサンプル

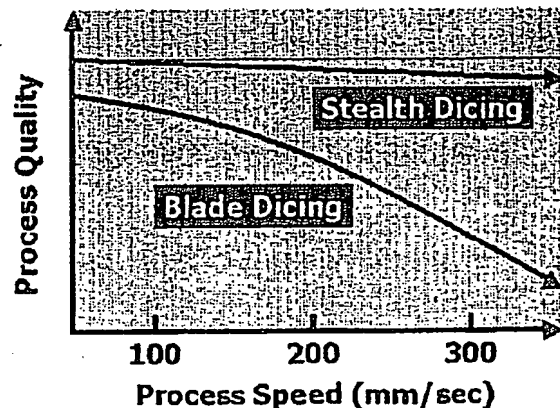


図9 加工速度と外観品質の関係比較

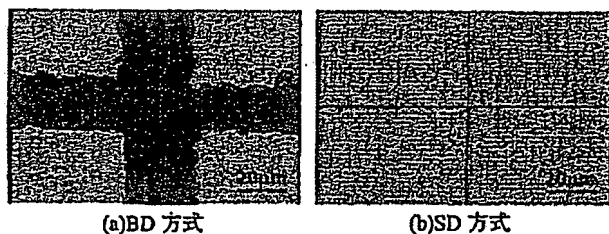


図10 表面側加工品質の比較

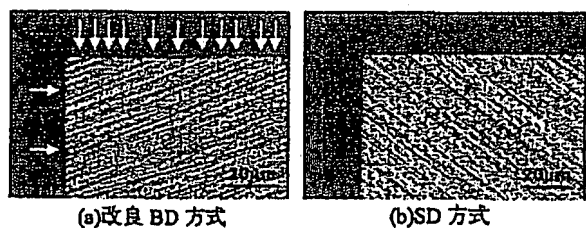


図11 裏面側加工品質の比較

ここでの加工品質は分離チップの外観品質を示している。BD方式は加工速度の高速化により、加工品質の低下が顕著になる傾向があるのに対して、SD方式は加工速度に大きく依存せず、極めて高いレベルに加工品質が維持できることを示している。

この傾向はダイシング対象のウェーハ厚が薄くなるとより顕著に現れるため、極薄デバイスに対してSD方式の優位性は非常に高くなる。

### 3.2 ステルスダイシング技術の加工品質評価

実際の加工サンプルにおけるBD方式とSD方式の加工品質の比較を以下に参照する。

図10は厚さ100 $\mu\text{m}$ のSiウェーハサンプルを対象にしたチップ表面側エッジにおける加工品質の比較例を示す。

(a)はBD方式(加工速度100 mm/sec)、(b)はSD方式(加工速度300 mm/sec)のチップ表面付近ダイシングストリート交差点付近の顕微鏡観察結果を示す。

(a)のBD方式の場合には、原理的にブレード幅に相当したカーブロスが生じ、チップエッジに数 $\mu\text{m}$ ~10 $\mu\text{m}$ レベルのチッピングやクラックが発生しているのに対して、(b)のSD方式の場合には、加工速度はBD方式の3倍であるが、チッピングやクラックの発生は無く、図9で示した加工速度と加工品質の定性的な比較が確認できる。

図11は厚さ50 $\mu\text{m}$ (裏面BG#2000)のSiウェーハサンプルを対象にしたチップ裏面側エッジの加工品質比較例を示す。

(a)は改良BD方式、(b)はSD方式のチップ裏面エッジ付近の顕微鏡観察結果を示す。

(a)の改良BD方式は通常のBD方式と異なり、裏面エッジ品質の観点から優位性が高い方式<sup>2)</sup>を採用しているため、裏面チッピングが極力抑えられた品質となっている。

しかし原理的には機械的な研削加工となるため、バックグラインド面と同様にダイシングブレードが接触するチップ端面にも破砕層が生じてしまい、裏面エッジに図中矢印で示すような数 $\mu\text{m}$ レベルのチッピングが発生してしま

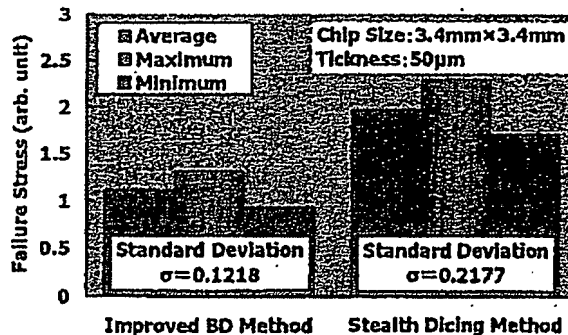


図12 抗折強度評価結果の比較

う。

これに対して(b)のSD方式の場合には裏面チッピングの発生は完全に抑制されている様子が伺える。

実用上、厚さ100 $\mu\text{m}$ 以下のデバイスの場合、このようなチッピングはバックグラインド面の破砕層と同様にチップの抗折強度を低下させる主要因となる。

ハンドリングに支障ないレベルのチップ抗折強度を維持するためにその後のストレスリリーフ工程での対策が必要となるため、裏面エッジチッピングを抑制することは非常に重要となる。

図11で示した改良BD方式とSD方式のチップサンプルの3点曲げ試験<sup>3)</sup>による抗折強度評価結果を図12に示す。

評価対象サンプルの裏面仕上げ状態は図11で示したようにBG#2000であるため、その影響を低減させることを目的として3点曲げ試験荷重圧子の長尺方向が裏面研削痕と常に垂直になるようなチップサンプルをウェーハ上の特定位置から抽出して評価を実施した。

SD方式の抗折強度は改良BD方式と比較して、平均値、最大値及び最小値共に高い値を示し、図11示したチップ裏面エッジのチッピング状態が反映されていると思われる。

## 4. SD技術の応用

### 4.1 DAF(Die Attach Film)への適用

SD加工の応用例としてDAFへの対応に関して紹介する。

図6で示したダイシング工程の次に控えるチップ実装工程でDAFが利用されている。

従来のBD方式では原理的に機械的な切削加工となるため、機械的な性質の異なるSiウェーハとDAFを同時に高品位に切断することは非常に困難であり、DAF材質の剥がれや捲れが発生し、デバイス特性や信頼性への影響が課題となっている。

実際のDAFマウントは図6で示したSD加工直後に実施することで工程に取り入れることが可能である。

SD加工済みのウェーハにDAFマウント後、フレーム及びテープをマウントしてBGテープを剝離した後にテープエキスパンドをすることによりSiチップサイズと同形状にDAFも分離される。

図13はテープエキスパンド分離後のDAF付きサンプル

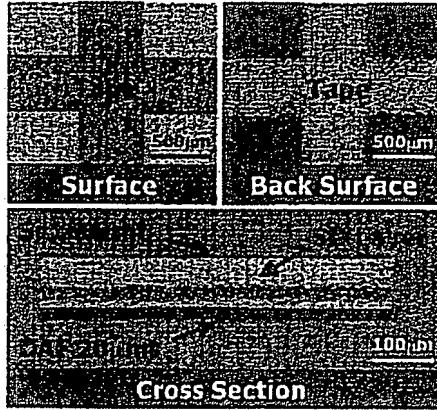
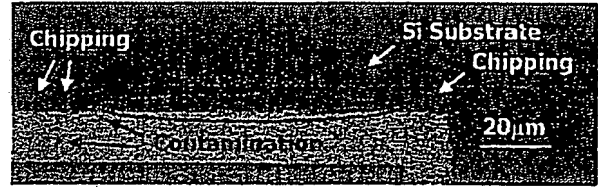
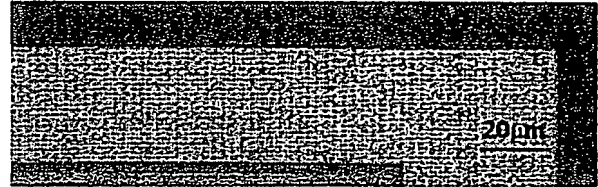


図13 DAF付きサンプルSD加工適用例



(a)レーザーアブレーション方式



(b)SD方式

図14 Low-kデバイス加工比較

ルチップの顕微鏡観察結果を示す。

チップ端面、表面及び裏面(テープ側)の顕微鏡観察結果から DAF のはみ出しや剥がれがなく、チップ形状と同様にシャープな形状で分離されている様子が伺える。

DAF-ウェーハ及び DAF-テープの密着強度が非常に高く、テープエキスバンド直前まではカーフ幅に相当するチップ間隔が“0”であるため、テープエキスバンド時、チップ分離と同時に DAF もチップ形状と同様に高品位に分離することが可能となる。

従来のブレードダイシング方式ではブレード幅に応じたカーフ幅が必然的に存在するため、同様の DAF 分離機構を適用することは困難であると思われる。

#### 4.2 Low-k デバイスへの適用

前項でも述べたが従来の BD 方式は原理的に機械的な切削加工となるため、機械的な性質の異なる複合材質を高品位に切断することは非常に困難である。

今後、高速デバイスへの実用化が加速される Low-k 材質は機械的強度が非常に低く、外部応力によって破壊されやすいため、原理的に従来の BD 方式では高品位にチップ化することが非常に難しい状況である。

また Low-k 材質の更なる低誘電率化に伴い、材質によってはドライプロセスが前提となり、本質的に BD 方式では解決できない課題が増えつつある。

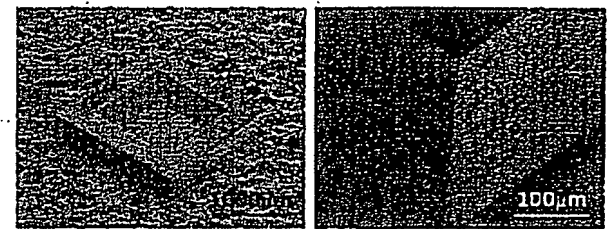
このような背景から、近年、Low-k デバイスを対象に、レーザーによる非接触ダイシング加工技術の開発、実用化が活発に検討されている<sup>4)</sup>。

その方式は様々であるが、共通点は Si 及び Low-k 材質に対してレーザー出力を時間的空間的に効率良く吸収させて、アブレーション(蒸散)という物理現象を利用してレーザーによるダイシング加工を実現している。

Low-k デバイスを対象にレーザーアブレーション方式と SD 方式の加工品質の顕微鏡観察による比較を図 14 に示す。

(a)は UV パルスレーザーによるレーザーアブレーション方式を適用した場合の顕微鏡観察結果を示す。

レーザーアブレーションによってチップ化されたサンプルのエッジ部には熱影響による Low-k 多層膜のチッピングや膜剥がれの発生が認められ、その周辺部にはデブリ汚



(a)チップ全体

(b)エッジ部周辺拡大

図15 SD加工適用MEMSチップのSEM観察

染が認められる。

これに対して(b)の SD 方式の場合には、レーザーアブレーション方式で認められたチッピング、膜剥がれ、デブリ汚染等の発生は認められず、高品位加工の実現を確認できる。

このような Low-k 多層膜のチッピング、膜剥がれ、デブリ汚染等はデバイスの特性や信頼性への影響が懸念されるため、解決すべき最重要課題の一つとなっている。

また、図 14 の(a)、(b)においてデバイスパターンを基準とした場合にデバイスパターンからチップエッジまでの距離が異なっているが、これは DB 方式と同様にレーザーアブレーション方式によって生じるカーフロスを示している。

SD 方式は表裏面付近では切断加工に近いイメージでカーフロスは限りなく“0”に近いのに対して、レーザーアブレーション方式はこのカーフロスに相当した加工発塵が発生するため、その回収及び除去対策を検討する必要がある。

更にカーフロスはチップサイズが小さくなるとウェーハ当たりのチップ収率に顕著に効いてくるため、微小チップデバイスでは低カーフロス化が非常に重要な課題となる。

#### 4.3 MEMS(Micro Electro Mechanical System)への適用

近年、最先端の半導体製造技術を応用した MEMS 市場の急速な成長により<sup>5)</sup>、Si 基板上に様々な形状を有する 3 次元構造体の形成された MEMS デバイスが登場し、半導体産業における新たな付加価値を次々と生み出している。

これら MEMS デバイスの独創性や新規性を導き出すためには既存ダイシング工程の課題解決が必須となっている。

MEMS デバイスにおけるダイシング工程には、その性質上、ドライプロセスが理想となり、外的衝撃にも非常に敏感であるため、本質的に従来の BD 方式の適用は難しく、



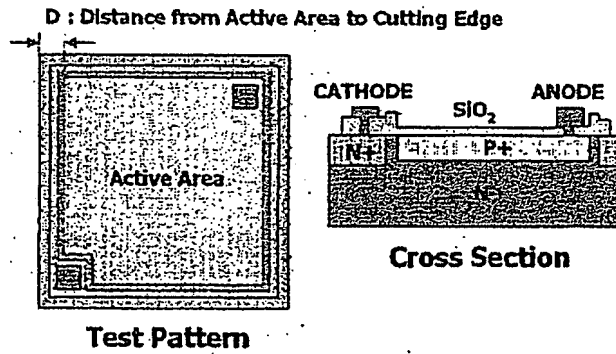


図16 フォトダイオードテストパターン

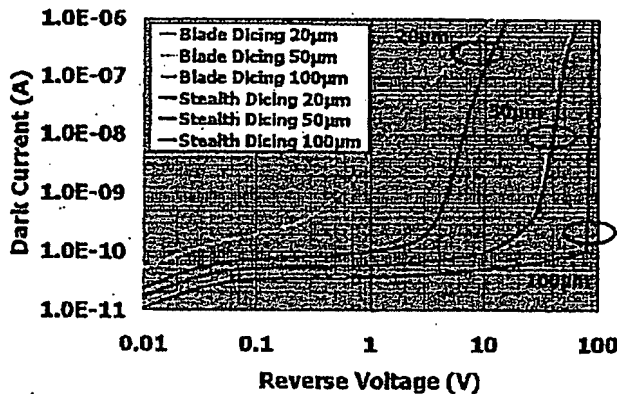


図17 フォトダイオードの逆電圧-暗電流特性

技術革新が望まれている。

このような背景から MEMS 関連デバイスのステルスダイシングに対する市場要求が顕著になっている。

MEMS デバイスへのステルスダイシング加工適用例として、センサー関係デバイス MEMS チップの SEM (Scanning Electron Microscope) 観察結果を図 15 に示す。

図 15(a) は厚さ 300  $\mu\text{m}$ 、チップサイズ 2 mm $\times$ 2 mm の中央部に数  $\mu\text{m}$  厚の凹部が存在し、その反対側にデバイスが形成されている MEMS デバイスの全体の観察結果を示す。

このようなサンプルの場合、従来の BD 方式ではダイシング時のブレードや洗浄水による外的衝撃によりチップ中央部の極薄部を破損し易いため、その適用が困難である。

図 15(b) は(a)の手前エッジ部周辺の拡大観察映像を示しており、チップングやクラックの発生がなく、非常にシャープなエッジを確認することができ、その端面には SD 層の存在を確認することができる。

### 5. ステルスダイシング技術のデバイス特性への影響

ステルスダイシングによるデバイス特性への影響を定量的に評価することを目的として、図 16 に示すようなフォトダイオードテストパターンを対象に実施した電気的特性の評価結果の一例を紹介する。

フォトダイオードの受光面 (Active Area) 端からチップエッジまでの距離 (図 16 中 D 表記、D = 20  $\mu\text{m}$  / 50  $\mu\text{m}$  / 100  $\mu\text{m}$ ) をパラメータとして、BD 方式と SD 方式の逆電圧-暗電流特性を比較評価した結果を図 17 に示す。

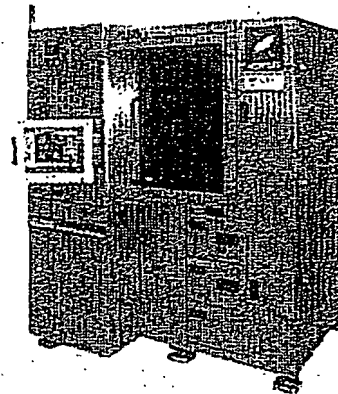


図18 MAHO Dicing MACHINE

BD 方式、SD 方式、共に D の値が小さくなるに従って、ブレードダウン電圧 (暗電流が急激に上昇する逆電圧) が低くなる傾向を示しているが、D = 20  $\mu\text{m}$  の場合に BD 方式と SD 方式で顕著な差が生じている。

この特性評価は評価対象デバイスに依存するが、BD 方式と比較して SD 方式がデバイス特性に影響を及ぼす範囲が狭く、デバイス端からチップエッジまでの距離を更に短くすることができるという可能性を示唆している。

### 6. 結 言

本稿ではステルスダイシング技術の基本原理、機構及びその応用例に関して記述した。

ステルスダイシングは加工対象材質に対して透過特性波長のレーザー光を対象材質内部に集光して時間的・空間的に圧縮した状態を対象材質内部に局所的・選択的に形成することにより対象材質を“内部”から分割する技術である。

対象材質を“外部”から切断する従来のダイシング方式とはその原理機構が全く異なるため、これまで解決が困難とされていた課題を乗り越える潜在能力を秘めている。

現時点では Si 半導体ウェーハを中心に実用化を推進しており、ステルスダイシング要素技術を集約し、レーザー及び光学系をモジュール化した SD エンジンを業務提携先の東京精密殿に供給販売しており、同社との間で共同開発した MAHO Dicing Machine (図 18 参照) を市場へ投入し、実用化を推進している。

ステルスダイシング技術はその高い潜在能力により Si ウェーハ以外にも化合物半導体、ガラス、サファイア等、その他の材料へ適用範囲を急速に拡大している。

現在、それらの市場要求に対応すべく新たな SD エンジンの開発を並行して進めている。

今後、その市場要求に迅速に対応して適用範囲を広げるための実用化提案を進めていく予定である。

### 参 考 文 献

- 1) E.D. Palik ed.: Handbook of Optical Constants of Solids, Academic Press, San Diego, (1985) 547.
- 2) 有田 謙, 岩井哲博, 土師 宏, 新田永留夢, 粕 登, 荒井一尚: プラズマによるウエハ加工変質層の除去技術, 8th Symposium on "Microjoining and Assembly Technology in Electronics".

(2002), 87.

- 3) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries " Recent Status of Thin Wafer Chip (Die) Mounting " - Challenge for Less Than 25  $\mu\text{m}$  in Thickness - December 2003.
- 4) 荒井一尚: Low-k/Cu 配線半導体デバイスのダイシング技術, 第60回レーザー加工学会論文集, (2003), 29.
- 5) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries " 7th SEMI Microsystem MEMS Seminar " December 2003.

著者紹介



福世文嗣

FUKUYO Fumitsugu

1970年生。1996年茨城大学大学院工学研究科電気電子工学修士課程修了。同年浜松ホトニクス株式会社入社。レーザー応用技術の開発に従事。レーザー学会所属。

E-mail: f-fukuyo@etd.hpk.co.jp

TEL: (0539) 62-3151, FAX: (0539) 62-5005

社団法人高温学会誌編集委員会

委員長 大森 明

委員

香月 正司	菊地 靖志	柴柳 敏哉
鈴木 正昭	奈賀 正明	新原 皓一
西川 雅弘	平田 好則	藤本 公三
南埜 宜俊	宮本 勇	森本 純司

レーザー加工学会誌編集委員会

委員長 大村悦二

副委員長 安達 馨

委員

上田 隆司	江畑 恵司	片山 聖二
鎌田 策雄	北側 彰一	佐野 智一
中原 住雄	野口 修一	平本 誠剛
福井 清之	宮本 勇	渡辺 歴

レーザー加工学会誌論文査読委員会

委員長 片山聖二

副委員長 廣瀬明夫

委員

阿部 信行	荒谷 雄	伊東 一良	伊藤 義郎	大家 利彦
岡田 龍雄	實野 孝久	篠崎 賢二	杉岡 幸次	塚本 進
中村 奨	新納 弘之	西井 準治	西尾 悟	増原 宏
三澤 弘明	三好 隆志	鷺尾 邦彦	渡部 武弘	

事務局

野津山 啓子

レーザー加工学会誌

Vol. 12, No. 1

ISBN:4-947684-56-9

2005年2月発行

発行人

社団法人高温学会

レーザー加工学会

〒567-0047 大阪府茨木市美穂ヶ丘11番1号

大阪大学 接合科学研究所

社団法人高温学会内 レーザ加工学会事務局

TEL & FAX: (06) 6879-8642

印刷所

大阪大学生協同組合

〒560-0043 大阪府豊中市待兼山町1番9号

TEL: (06) 6941-7792

本誌に掲載されたすべての記事内容は、レーザー加工学会の許可なく転載・複写することはできません。

## 1. Introduction

Stealth dicing process has now evolved to a practical level that makes it the next generation in dicing technology. Stealth dicing offers the following advantages over conventional dicing methods.

- High-speed dicing
- High quality (no chips & dust-free)
- Superior breakage strength (ultra-thin chips)
- Low kerf loss (better chip production yield)
- Completely dry process
- Low running costs

Stealth dicing was initially developed for use in high-speed and high-quality dicing of ultra-thin semiconductor wafers. However, the remarkable advantages stated above are expanding its application range to normal thickness, ultra-fast low-k device wafers and MEMS device wafers.

This document explains the basic principle, mechanism, and typical applications of stealth dicing technology that has been accelerating the practical use.

## 2. Basic Theory and Mechanism of Stealth Dicing Technology

### 2.1 Overview of Stealth Dicing Technology

Fig. 1 shows the basic principle of stealth technology.

Fig. 1: Basic principle of stealth technology

A laser beam at a wavelength capable of transmitting through a semiconductor wafer is condensed by an objective lens and focused onto a point inside that semiconductor wafer.

This laser beam consists of short pulses oscillating at a high repetition rate and can be highly condensed up to a diffraction threshold level. This localized beam is formed at an extremely high peak power density both time and spatially compressed in the vicinity of the light focus point.

When the laser beam transmitting through the semiconductor wafer exceeds a peak power density during the condensing process, a nonlinear absorption effect causes a phenomenon in which extremely high absorption occurs at localized points.

By optimizing the laser and optical system characteristics to cause the nonlinear absorption effect just in the vicinity of the focal point

inside the semiconductor wafer, only localized points in the wafer can be selectively laser-machined without damaging the front and back surfaces inside semiconductor wafer.

The semiconductor wafer can be diced by using a stage or similar mechanism that moves the relative positions of the laser beam and wafer in order to scan the wafer at high speeds according to the desired dicing pattern.

Fig.2 shows spectral transmittance characteristics<sup>1)</sup> of a monocrystalline silicon wafer not doped with any impurities, measured at a room temperature environment.

Fig. 2: Spectral transmittance in monocrystalline silicon wafer

This graph shows the pure spectral transmittance characteristics within the wafer, aside from the reflection loss effects on the front and back wafer surfaces.

Though greatly dependent on wafer specifications (thickness and impurity elements and their concentration), monocrystalline silicon wafers generally absorb light at wavelengths shorter than 1,000 nm (nanometers) including the visible to ultraviolet range, yet tend to allow light at longer wavelengths in the near-infrared range to transmit through them.

Various laser dicing methods have been investigated on monocrystalline silicon wafers having these optical characteristics.

Conventional methods for dicing semiconductor wafers such as monocrystalline silicon mainly utilize the physical phenomena known as heat melt cutting, ablation, and thermal stress cutting, which are caused in the semiconductor wafer when laser energy is greatly absorbed from the surface irradiated by the laser.

Most conventional laser dicing methods use laser light at wavelengths that can be highly absorbed by the materials to be diced. These methods therefore have significant problems such as heat and debris that are unavoidably produced during laser machining. This causes adverse effects on device characteristics and reliability.

On the other hand, stealth dicing makes use of wavelengths that transmit through the monocrystalline silicon semiconductor wafer to be diced, so that the laser beam can be guided to the vicinity of the focal point inside the

wafer, allowing selective, localized laser machining within the wafer.

Stealth dicing in this way avoids damaging the wafer surface layers where the actual devices are formed. This eliminates the problems of conventional laser dicing by ablation, such as thermal effects on the active area, debris contamination, and a drop in breakage resistance due to micro-cracks occurring on the chip edges, which all badly effect device reliability.

Fig. 3 shows results from microscopic observation of the end surface of a 100  $\mu\text{m}$  thick silicon wafer sample actually separated by stealth dicing.

Fig. 3 (a) is the cross section of the sample separated by stealth dicing in the direction of the laser scan (dotted line with arrow in the concept view in Fig. 1), while Fig. 3 (b) is the end surface of the sample cleaved and sliced perpendicular to the laser scan before being separated.

A stealth dicing layer (SD layer) of a few  $\mu\text{m}$  width and having a 40  $\mu\text{m}$  thick is formed in the center section along the thickness direction of the 100  $\mu\text{m}$  thick sample. A perpendicular crack can be observed, running from the top and bottom ends of the SD layer towards the front and back surfaces of the chip.

How the chip will separate depends greatly on the extent that this perpendicular crack develops towards the front and back surfaces of the chip.

Stealth dicing works by stress-cutting the material from the "inside" and so is fundamentally different from conventional laser dicing methods that cut the material from the "outside".

Fig.3: Microscopic observation of stealth dicing sample

- (a) Laser scan surface
- (b) Perpendicular to laser scan

## 2.2 Sheath dicing mechanism

To determine the qualitative state of the SD layer, a 100  $\mu\text{m}$  thick silicon chip separated by stealth dicing was cleaved and sliced as shown in Fig.4, and the SD layer's crystalline state was evaluated by observing it with a TEM (transmission electron microscope).

Fig.4: Evaluation of SD layer crystalline state by TEM

TEM observation proves that the SD layer crystalline state was changed to polycrystalline silicon with high density dislocation, which was confirmed to be a few  $\mu\text{m}$ .

The development of the perpendicular cracks facing the front and back surfaces of the chip from the top and bottom ends of the SD layer of Fig. 3 (b) is extremely essential to the chip separation mechanism.

Using a 100  $\mu\text{m}$  thick silicon chip sample that was cleaved and sliced in the direction perpendicular to the laser scan, was analyzed the stress distribution over the SD layer and its periphery in a non-separated state by means of Raman spectroscopy. Its evaluation results are shown in Fig.5.

Fig.5: Stress distribution analysis by Raman spectroscopy

- (a) Optical microscope observation
- (b) Stress distribution analysis results

A 40x40  $\mu\text{m}$  area around the SD layer shown in (a) was analyzed by Raman spectroscopy. Mapping data on the stress distribution was then acquired from the Raman shift as shown in (b).

On this mapping data, a compressive stress is indicated by + values, and a tensile stress indicated by - values, which are acting on the wafer. The darker the color, the more powerful the stress generated in the wafer.

It can be seen that an extremely powerful compressive stress is generated in the SD layer where a polycrystalline silicon state with high density dislocation was observed by TEM as shown in Fig. 4. An extremely powerful tensile stress can also be seen at the top and bottom of that SD layer.

The volumetric expansion that accompanies the localized polycrystallization of the SD layer is assumed to generate this powerful compressive stress.

If a spherical SD layer were formed, the stress distribution in the peripheral area would show the compressive stress gradually reducing towards the periphery away from the SD layer. However, probably due to the fact that the SD layer is formed with an extremely high aspect ratio, the very powerful tensile stress is concentrated at the top and bottom of the SD layer.

The perpendicular cracks developing

towards the chip front and back surfaces from the top and bottom of the SD layer region, as shown in Fig. 3 (b), are originated from the high density dislocation region where an extremely powerful compressive stress is locally generated. These cracks are easily prone to develop towards the front and back surfaces of the chip due to the very powerful tensile stress generated at the top and bottom ends of the SD layer. This facilitates the chip separation by using an external force such as tape expansion described later on.

The above description covers the basic principle and mechanism of stealth dicing.

### 3. Application of Sheath Dicing Technology

#### 3.1 Application of Sheath Dicing

Fig. 6 shows the comparison between actual processes in stealth dicing (SD) and conventional blade dicing (BD) used in a back-end process of ultra-thin semiconductor wafers involving back grinding (BG).

Fig.6: Comparison of actual processes

- (a) BD method
- (b) SD method

In the SD method, stealth dicing is performed from the ground back surface after the back grinding (BG) process.

In contrast to conventional dicing where the chips are completely separated during blade dicing (BD), the SD method allows the individual chips to be still integrated with the wafer even after stealth dicing. The stealth-diced chips are separated afterwards by tape expansion.

Fig.7: Chip separation by tape expansion

- (a) Before tape expansion
- (b) After tape expansion

Fig. 7 shows the state of the chips before and after tape expansion that separates the chips.

Fig. 7 shows a 6-inch 100  $\mu$  m thick wafer that was stealth-diced and then separated by tape expansion into 5x5 mm size chips.

Although the ease of chip separation can be controlled by the stealth dicing conditions, individual chips are basically separated by utilizing a force generated during tape expansion that acts to expand the space between the chips.

Fig. 8 shows the state of the so-called "stress intersections" between the chips on the stealth-diced device wafer both before and after tape expansion.

Fig.8: Device sample before and after tape expansion

- (a) Before expansion
- (b) After expansion

As can be seen from Fig. 8 (a), no change appears after stealth dicing and prior to tape expansion. (This is the reason that this dicing method was named "stealth dicing".)

As the tape gradually expands, the wafer is separated into the desired small chip shape conforming to the SD layer pattern formed within the wafer, as shown in Fig. 8 (a).

The area in the shape of a black cross in Fig. 8 (b) shows the new kerf formed by tape expansion.

Chip separation by tape expansion in stealth dicing can be performed by the tape expanding process used in conventional dicing method. The number of processing steps in stealth dicing is therefore the same as in conventional dicing.

On the other hand, unlike the cutting process by a mechanical blade in conventional method, stealth dicing works by a non-contact process using laser scanning so the process speed can be drastically improved.

Fig. 9 shows the process speed and process quality of the BD and SD methods.

Fig.9: Process speed and process quality

Hence, the process quality indicates the external appearance quality of separated chips.

Using higher process speeds in blade dicing tends to cause a drastic drop in the process quality. In the SD method, on the other hand, the process speed does not greatly affect the process quality, so an extremely high process quality can be maintained.

This tendency that the process speed affects the process quality becomes drastically larger as the wafer to be diced becomes thinner. This means the SD method offers tremendous advantages when manufacturing ultra-thin devices.

#### 3.2 Evaluation of stealth dicing process quality

The process quality in the BD and SD methods is compared next using an actually processed sample.

The photographs in Fig. 10 show examples comparing the process quality on the front side edge of a chip diced from a 100  $\mu$ m thick silicon sample.

These show microscopic images in the vicinity of the dicing street intersection near the chip surface. Fig. 10 (a) shows results from the BD method at a process speed of 100 mm/sec. Fig. 10 (b) shows results from the SD method at a process speed of 300 mm/sec.

Fig.10: Comparison of process quality on wafer surface

- (a) BD method
- (b) SD method

In the BD method in Fig. 10 (a), kerf loss occurs that is basically equivalent to the blade width, and chipping and cracks occur at levels from a few to 10  $\mu$ m on the chip edge. In the SD method in Fig. 10 (b), the process speed is 3 times faster than the BD method yet no chipping or cracks occur. These results confirm the qualitative comparison of process speed and process quality shown in Fig. 9.

Fig. 11 shows a comparison of process quality on the backside edge of a 50  $\mu$ m thick silicon wafer sample (backside BG #2000), made by microscopic observation in the vicinity of the chip backside edge. Fig. 11 (a) is the result by an improved BD method, and (b) is by the SD method.

Fig.11: Comparison of process quality on back side

- (a) Improved BD method
- (b) SD method

The improved BD method in Fig. 11 (a) is different from the conventional BD method because it utilizes a method<sup>2)</sup> that delivers superior backside edge quality. The improved BD method improves quality by reducing the backside chipping.

However, it is still fundamentally a mechanical cutting technique and therefore damages the layers on the chip end surface due to contact from the dicing blade the same as when back-grinding a surface. Moreover, chipping occurs on the backside edge on a level of several  $\mu$ m as shown by the arrows in Fig.

11 (a).

In the SD method, on the other hand, absolutely no chipping has occurred, as can be seen from Fig. 11 (b).

During actual dicing on devices of 100  $\mu$ m or less, this type of chipping is a major cause that lowers the breakage resistance like a damage layer on the BG surface does.

Taking some kind of countermeasure in subsequent stress relief processes is necessary in order to maintain chip breakage strength at a level where significant damage will not occur during handling. It is therefore extremely essential to suppress backside edge chipping.

Fig. 12 shows results from a three-point bend test<sup>3)</sup> on the improved BD and SD chip samples shown in Fig. 11.

Fig.12: Comparison of breakage strength

The back surface of the samples were finished by BG#2000 as shown in Fig.11. To reduce the BG#2000 effects, this test was performed by evaluating a chip sample that was extracted from a specified position on a wafer where the longitudinal direction of the load indenter for the three-point load test was always perpendicular to the cutting marks on the back surface.

The test showed that the SD method had high average, maximum, and minimum values for breakage strength compared to the improved BD method. These results reflect the chipping state of the chip backside edge shown in Fig. 11.

#### 4. Applications of SD technology

##### 4.1 Applying SD technology to DAF

Stealth dicing technology can be applied to DAF (Die Attach Film) as described in the following example.

DAF is utilized in the chip mounting process after the dicing process shown in Fig. 6.

In the conventional BD method, this dicing is basically the mechanical cutting operation so that simultaneous, high quality cutting (dicing) of the silicon wafer and DAF is extremely difficult because they are different in mechanical characteristics. Peels and folds often occur in the DAF material and the device characteristics and reliability are affected.

In the actual process, DAF mounted is made immediately after stealth dicing shown in

Fig. 6.

In the SD method, on the other hand, DAF is mounted on the wafer that has already been stealth-diced, and then the frame and tape are mounted and BG tape peeled off. In the next step of tape expansion to separate the chips, DAF is also separated into a shape identical to the size of each silicon chip.

Fig. 13 shows microscopic images of a chip attached with DAF film after separation into chips by tape expansion.

These microscopic images of the chip end surface, front side and back side (tape side) clearly show that there is no DAF delamination or protrusion and the separation is sharp with contours the same as the chip shape.

Because the adhesion strength between the DAF and wafer and between the DAF and tape is extremely high, and also because the chip clearance equivalent to the kerf width is "0" before tape expansion, a high quality DAF separation can also be made in the same shape as the chip during the tape expansion.

In conventional blade dicing, a kerf width equal to the blade width is an unavoidable factor, so it is difficult to use the same DAF separation mechanism.

Fig.13: Stealth-diced sample with DAF attached

#### 4.2 Applying stealth dicing to Low-k device

As already described, the conventional BD method is basically a mechanical cutting process. This makes the BD method difficult to use for high quality dicing of composite materials made up of different elements.

Practical use of low-k materials for high-speed devices are being accelerated, however, the low-k material itself has extremely low mechanical strength and is easily damaged by external stress. Producing high quality chips with the conventional BD method is very difficult.

Moreover, along with lowering the dielectric constant of low-k materials, some materials make dry process a prerequisite, so the number of problems that cannot be solved by the BD method is increasing.

Recently, intensive efforts are being made to deal with these circumstances by developing practical, non-contact dicing technology that uses lasers on low-k devices<sup>4)</sup>.

This is achieved by various methods.

However, they all use a common technique that makes the laser beam be efficiently absorbed by the silicon and low-k materials, to utilize a physical phenomenon called "laser ablation" for wafer dicing.

Fig. 14 shows microscopic observations of the dicing process quality when the laser ablation method and SD method are used on a low-k device.

Fig. 14 (a) shows results of dicing when laser ablation is performed with a pulsed UV laser.

On the edges of the sample made into chips by laser ablation, chipping and delamination of the low-k multilayer film are observed due to the effects of heat. Debris contamination can also be found on the periphery.

In contrast, when using the SD method of Fig.14 (b), there were none of the chipping, delamination and debris contamination those were found in the laser ablation method and the high quality dicing was confirmed.

These types of chipping and delamination of the low-k multilayer film and debris contamination have serious affects on device characteristics and reliability and so are the most significant problems that must be resolved.

The distances from the device pattern to the chip edge are different in Fig. 14 (a) and Fig. 14 (b) when the device pattern is used as a reference standard. This difference in distance shows that kerf loss is occurring due to laser ablation the same as in the BD method.

Fig.14: Comparison of low-k device dicing  
(a) Laser ablation method  
(b) SD method

The image for the SD method shows nearly a stress-cutting process near the front and back surfaces with a kerf loss close to nearly "0". However, the laser ablation method generates machining dust in amounts equivalent to the kerf loss. So methods to collect and remove this dust have to be considered.

As the chip size in the process grows smaller, the kerf loss has more significant effects on the chip production yield per wafer. Reducing this kerf loss becomes a critical problem when dealing with ultra-small chip devices.

#### 4.3 Applying stealth dicing to MEMS



The MEMS (Micro Electro Mechanical System) field has grown rapidly in recent years as a new frontier in semiconductor technology<sup>5)</sup>. MEMS devices formed as 3-dimensional structures in various shape on a silicon substrate have appeared and continuously create new product value in the semiconductor industry.

Producing creative and innovative MEMS devices requires solving the problems of dicing processes already in use.

A dry process is ideal due to the properties of MEMS devices. These MEMS devices are also extremely sensitive to external impacts, so applying the BD method is basically impossible and makes some kind of technological innovation necessary.

This situation has drastically spurred market demand for stealth dicing of MEMS related devices.

One application of stealth dicing to MEMS devices is the MEMS chip sensor device. Fig. 15 shows SEM (scanning electron microscope) images of the SD process performed on the MEMS chip sensor device.

Fig. 15 (a) shows the overall MEMS device with a chip size of 2x2 mm and a thickness of 300  $\mu$  m. A hollow with a depth of several  $\mu$  m is created in the center of the chip, and the actual device is formed on the opposite side of the chip.

Fig.15: SEM observation of SD-processed MEMS chip

- (a) Overall chip
- (b) Enlarged section of edge periphery

In this type of sample, the ultra-thin sections in the center of the chip are easily damaged by external impacts from the blade and cleaning water during dicing by the conventional BD method. The BD method is therefore impossible to use on this type of sample. Fig. 15 (b) shows an enlarged image of the periphery of the close edge section of Fig. 15 (a). No chipping or cracks have occurred and an extremely sharp edge can be seen. The SD layer can also be observed on the end surface.

## 5. Effects of stealth dicing technology on device characteristics

To qualitatively evaluate the effect of stealth dicing technology on device

characteristics, device electrical characteristics were tested using a photodiode test pattern shown in Fig. 16.

Fig.16: Photodiode test pattern

Dark current versus reverse voltage characteristics of photodiodes processed by the BD and SD methods were measured. The results are compared in Fig. 17 using the distance D from the photodiode active area to the chip edge (distance D in Fig. 16, D=20, 50, 30  $\mu$  m) as the parameter.

Fig.17: Dark current vs. reverse voltage of photodiodes

Both the SD and BD methods show a trend for the breakdown voltage (reverse voltage at which dark current increases suddenly) to lower as the D value becomes smaller. However, a significant difference occurs between the SD and BD methods when D=20  $\mu$  m.

This evaluation of characteristics depends on the device itself. However, it shows that the SD method affects device characteristics within a narrow range compared to the BD method and that the distance from the end of the device to the chip edge can be shortened even further.

## 6. Conclusion

The technical document describes the basic principle, mechanism and some applications of stealth dicing technology.

In stealth dicing, a laser beam at a wavelength capable of transmitting through the material is condensed on an internal point in that material. This selectively forms a mechanical damage layer (stress layer) in a localized point near the light focus area so that the material is cut from the "inside".

The operating principle of stealth dicing is fundamentally different from conventional blade dicing technology that cuts the material from the "outside". Stealth dicing therefore has the potential to overcome problems with dicing that have been difficult to solve up to now.

Current work is centering on practical technology for dicing silicon semiconductor wafers. We refined and put together major elements of stealth technology to develop an "SD engine", which is a laser modulate

integrated with optical systems. This module is currently supplied to Tokyo Seimitsu with whom we have formed a business tie-up. In a joint effort with TOKYO SEIMITSU CO., LTD, we have developed the MAHOH DICING MACHINE (see Fig. 18) to a practical level and placed the first machines on the market.

Fig.18: MAHOHDICING MACHINE

The huge potential offered by stealth dicing technology is leading to its rapid expansion into materials besides silicon wafers. Stealth dicing can be applied to other materials including compound semiconductors, glass, and sapphire, etc.

We are currently developing a new "SD engine" to meet needs in these other market areas.

We are also drawing up specific planning aimed at expanding our operational range to swiftly respond to market needs.

#### References

- 1) E.D. Palik ed.: Handbook of Optical Constants of Solids, Academic Press, San Diego, (1985) 547.
- 2) Kiyoshi Arita, Tetsuhiro Iwai, Hiroshi Haji, Erumu Niita, Yutaka Koma, Kazuhisa Arai: "Stress Relief Technology of Silicon Wafer by Using Plasma Etching", 8<sup>th</sup> Symposium on "Microjoining and Assembly Technology in Electronics", (2002), 87.
- 3) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries "Recent Status of Thin Wafer Chip (Die) Mounting" - Challenge for Less Than 25  $\mu$  m in Thickness - December 2003.
- 4) Kazuhisa Arai: Dicing Technology for low-k/Cu wiring layer semiconductor device, 60<sup>th</sup> Proceedings of Japan Laser Processing Society, (2003), 29.
- 5) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries "7<sup>th</sup> SEMI Microsystem MEMS Seminar" December 2003.

#### Author Biography

FUKUYO Fumitsugu

Born in 1970. Completed Master's degree course in 1996 at Electrical and Electronic Engineering, Faculty of Engineering, Graduate School of Science and Engineering of Ibaraki University. Entered Hamamatsu Photonics KK in the same year. Currently engaged in the development of laser application technology. Belongs to Laser Society of Japan.

E-mail: [f-fukuyo@etd.hpk.co.jp](mailto:f-fukuyo@etd.hpk.co.jp)

TEL: (0539)62-3151, FAX: (0539)62-5005

ISBN 4-947684-58-5

# 第 63 回 レーザ加工学会講演論文集

主催 レーザ加工学会

**Proceedings of the 63rd Laser Materials Processing Conference**

平成 17 年 5 月 25 日, 26 日



レーザ加工学会  
Japan Laser Processing Society

# 第63回レーザー加工学会講演論文集

Proceedings of the 63rd Laser Materials Processing Conference

## 目次

### 1. レーザと応用

- [基調講演] 重工分野における高出力固体レーザー加工の適用 1  
三菱重工(株): 石出 孝
- [特別講演] 高出力化と集光性 —ファイバーレーザー開発の最前線— 9  
IPG フォトニクスジャパン(株): 福部 博
- レーザー法による樹脂成形品上への立体微細回路形成技術 10  
松下電工(株): 鈴木 俊之, 進藤 崇

### 3. レーザ溶接1 —アルミおよびパイプの溶接—

- アルミニウム基異種合金継手の特性に及ぼす溶接方法の影響 14  
日本大学: 大久保通則
- 配管に対するレーザー溶接 19  
石川島播磨重工業(株): 山岡 弘人, 大脇 桂
- レーザーによる固定配管の全姿勢溶接 26  
近畿高エネルギー加工技術研究所: 殖栗 成夫, 金杉 宗明, 大阪大学: 片山 聖二
- パイプの全姿勢レーザー溶接法の開発 34  
JFE エンジニアリング(株): 村山 雅智, JFE 工建(株): 外館 明

### 4. 先端微細プロセス

- フェムト秒レーザーを用いた石英系平面型光回路の3次元導波路インターコネクション 42  
NTT フォトニクス研究所: 那須 悠介, 神徳 正樹, 井上 晴之, 日比野善典
- 感光性ポリイミドを用いた自己形成光導波路 48  
京都工芸繊維大学: 尾江 邦重, 山下 兼一, 日東電工(株): 宗和 範, 疋田 貴巳,  
内藤 龍介, 望月 周
- エキシマレーザーによる光・電気複合配線板用マイクロミラーの開発 52  
松下電工(株): 松嶋 朗田, 田中健一郎, 久保 雅里

## 5. 最先端レーザー装置

- [特別講演] Fiber Laser Development at Aculight Corporation 62  
Aculight Corporation : Andrew J.W. Brown
- ファイバーディスクレーザーの開発 69  
浜松ホトニクス(株) : 田中 彰美, 伊東 勝久, 山浦 均, 関口 宏, 宮島 博文, 菅 博文,  
電気通信大学 : 植田 憲一
- SPI 社 高出力ファイバーレーザー 74  
(株)日本レーザー : 内田 和貴
- グリーンレーザー光のファイバ伝送方式による加工技術について 80  
(株)片岡製作所 : 加藤 悦史, 酒川 友一, 小市 真樹, 森尾 和正, 中芝 伸一, 家久 信明

## 6. レーザ溶接2 —各種溶接・補修法—

- [特別講演] 亜鉛めっき鋼薄板のレーザー溶接とモニタリング 87  
大阪大学 : 片山 聖二, 水谷 正海, 日産自動車(株) : 樽井 大志, 森 清和
- レーザー溶接された超微細粒鋼の機械的特性とその改善方法 93  
新日本製鐵(株) : 大谷 忠幸, 浜谷 秀樹, 宮崎 康信, 大北 茂
- レーザーMIGハイブリッド溶接法の適用 100  
(株)ダイヘン : 富田 直良, 長谷川 慎一, 安福 哲彌, 上田 裕司
- LD レーザを用いた局部結晶制御によるガスタービン翼補修技術の開発 104  
三菱重工業(株) : 川崎 憲治, 下畠 幸郎, 豊田 真彦, 石出 孝, 貴志 公博

## 7. ウエハ、ガラスのダイシング

- [特別講演] Laser separation of flat glass 105  
MDI Schott Advanced Processing GmbH : Christoph Hermanns
- Water-micro-dropを用いたシリコンウェハのレーザーダイシング 110  
産業創造研究所 : 清水 幸喜, 高橋 邦充, (株)ディスコ : 森敷 洋司, 生越 信守,  
竹山 晃一, リンテック : 若山洋司, 埼玉大学 : 小原 哲郎
- ステルスダイシング技術とその応用 115  
浜松ホトニクス(株) : 杉浦 隆二, 福世 文嗣, 福満 憲志, 内山 直己

## 8. レーザ溶接3 —異材接合とその周辺技術—

- [特別講演] 高出力半導体レーザーによるレーザーブレイジング 124  
大阪大学 : 才田 一幸
- レーザー圧接法による異種金属接合 133  
阿南工業高等専門学校 : 西本 浩司, 安宅 健, 藤井 洋郎, 大阪大学 : 片山 聖二
- アルミニウム合金と低炭素鋼異材継手のレーザーロール溶接 139  
名古屋大学 : 沓名 宗春, 山上 直樹, ラトウド・マノージュ, アザール・アンマール

## 9. 3次元加工

[特別講演] レーザ光放射圧制御微粒子を利用したナノマシニング技術 大阪大学：三好 隆志	156
エバネッセント光を用いた微小構造造形 東京大学：高橋 哲，梶原 優介，高増 潔	162
レーザー加工型による耐熱性ガラスの大面积微細ホットエンボス成形 産業技術総合研究所：高橋 正春，前田龍太郎，東成エレクトロビーム(株)：西原 啓三，横井 哲郎	169
レーザーとラミネートによる血液検査用マイクロ流体デバイスの作製 山梨県工業技術センター，東洋大学：山田 博之，東洋大学：吉田 善一，幸田 信幸，田原 烈，山田 潤	173

## 2. 一般募集講演

レーザー光とYAGレーザー誘起ブルームとの相互作用の可視化 大阪大学：川人 洋介，木下 圭介，片山 聖二，三菱重工業(株)：坪田 秀峰，石出 孝	179
高張力鋼の溶接性に及ぼすYAGレーザー・TIGハイブリッド溶接化の影響 岡山県工業技術センター：水戸岡 豊，日野 実，(株)アステア：五百川晴義，小野 裕行，後藤 宏，大阪大学：片山 聖二	180
ニッケル基超耐熱合金単結晶のレーザープロトタイピング 大阪大学：木村 静太，川人 洋介，片山 聖二	181
Ni基金属ガラス箔のレーザー溶接性と継手の機械的性質 大阪大学：津村 卓也，小林 克紀，東北大学：村上 太一，大阪大学：中田 一博，東北大学：井上 明久	182
真空紫外レーザーによる紫外透過性ポリマーの表面微細加工 理化学研究所：小幡孝太郎，杉岡 幸次，緑川 克美	183
チタン基板上へのフェムト秒レーザー誘起微細構造体形成 大阪大学：飛鳥 慶太，塚本 雅裕，阿部 信行，茅原 崇，近畿大学：中野 人志，京都大学：橋田 昌樹，大阪大学：藤田 雅之，宮崎大学：甲藤 正人	184
フェムト秒レーザーによる金属表面のグレーティング加工 キャノン(株)：岩瀬 秀夫，小久保智	185
Sn-Zn-Bi はんだを用いたレーザーソルダリングにおける予熱の効果 関西大学：永徳 哲也，中原 住雄，久田 重善，藤田 武良，新宮原正三	186

回折型光学素子を用いた高出力レーザーの強度分布整形 大阪府立産業技術総合研究所：萩野 秀樹，朴 忠植，大阪府立大学：菊田 久雄，岩田 耕一	149
--	-----

## 9. 3次元加工

[特別講演] レーザ光放射圧制御微粒子を利用したナノマシニング技術 大阪大学：三好 隆志	156
エバネッセント光を用いた微小構造造形 東京大学：高橋 哲，梶原 優介，高増 潔	162
レーザー加工型による耐熱性ガラスの大面積微細ホットエンボス成形 産業技術総合研究所：高橋 正春，前田龍太郎，東成エレクトロビーム(株)：西原 啓三，横井 哲郎	169
レーザーとラミネートによる血液検査用マイクロ流体デバイスの作製 山梨県工業技術センター，東洋大学：山田 博之，東洋大学：吉田 善一，幸田 信幸，田原 烈，山田 潤	173

## 2. 一般募集講演

レーザー光と YAG レーザ誘起ブルームとの相互作用の可視化 大阪大学：川人 洋介，木下 圭介，片山 聖二，三菱重工業(株)：坪田 秀峰，石出 孝	179
高張力鋼の溶接性に及ぼす YAG レーザ・TIG ハイブリッド溶接化の影響 岡山県工業技術センター：水戸岡 豊，日野 実，(株)アステア：五百川晴義，小野 裕行，後藤 宏，大阪大学：片山 聖二	180
ニッケル基超耐熱合金単結晶のレーザープロトタイピング 大阪大学：木村 静太，川人 洋介，片山 聖二	181
Ni 基金属ガラス箔のレーザー溶接性と継手の機械的性質 大阪大学：津村 卓也，小林 克紀，東北大学：村上 太一，大阪大学：中田 一博，東北大学：井上 明久	182
真空紫外レーザーによる紫外透過性ポリマーの表面微細加工 理化学研究所：小幡孝太郎，杉岡 幸次，緑川 克美	183
チタン基板上へのフェムト秒レーザー誘起微細構造体形成 大阪大学：飛鳥 慶太，塚本 雅裕，阿部 信行，茅原 崇，近畿大学：中野 人志，京都大学：橋田 昌樹，大阪大学：藤田 雅之，宮崎大学：甲藤 正人	184
フェムト秒レーザーによる金属表面のグレーティング加工 キヤノン(株)：岩瀬 秀夫，小久保智	185
Sn-Zn-Bi はんだを用いたレーザーソルダーリングにおける予熱の効果 関西大学：永徳 哲也，中原 住雄，久田 重善，藤田 武良，新宮原正三	186

## ステルスダイシング技術とその応用

杉浦隆二\*、福世文嗣\*、福満憲志\*、内山直己\*\*

The Stealth Dicing Technologies and Their Applications

Ryuji SUGIURA\*, Fumitsugu FUKUYO\*, Kenshi FUKUMITSU\*,  
Naoki UCHIYAMA\*\*

This report describes the basic principle, mechanism and some applications of stealth dicing technology. In stealth dicing, a laser beam at a wavelength capable of transmitting through the material is condensed on an internal point in that material. This selectively forms a mechanical damage layer (stress layer) in a localized point near the light focus area so that the material is cut from the "inside". The operating principle of stealth dicing is fundamentally different from conventional blade dicing technology that cuts the material from the "outside". Stealth dicing therefore has the potential to overcome problems with dicing that have been difficult to solve up to now. Current work is centering on practical technology for dicing silicon semiconductor wafers. The huge potential offered by stealth dicing technology is leading to its rapid expansion into materials besides silicon wafers. Stealth dicing can be applied to other materials including compound semiconductors, glass, and sapphire, etc. We are currently developing a new technology to meet needs in these other market areas.

Key words: laser, stealth dicing, semiconductor, wafer

### 1. 緒 言

次世代ダイシング技術として実用化段階に入ったステルスダイシングプロセスには、従来ダイシング方式と比較して以下に示すような優位性がある。

- ・ 高速ダイシング
- ・ 高品質 (チップングレス・発塵レス)
- ・ 高抗折強度 (極薄チップ)
- ・ 低カーフロス (チップ収率向上)
- ・ 完全ドライプロセス
- ・ 低ランニングコスト

当初、極薄半導体ウェーハの高速・高品位ダイシングを目的として実用化を推進してきたが、上述した優位性からその適用範囲を通常厚の超高速 Low-k デバイスウェーハや MEMS デバイスウェーハにも拡大している。

本稿では今後、実用化が加速するステルスダイシング技術の基本原理、機構及びその応用例に関して記述する。

\* 浜松ホトニクス株式会社 電子管事業部 電子管技術部 設計第 2G (〒438-0193 静岡県磐田市下神増 314-5)

HAMAMATSU PHOTONICS K.K., Electron Tube Division, Design 2 Group  
314-5 Shimokanzo, Iwata, Shizuoka 438-0193, Japan E-mail: ryuji-s@etd.hpk.co.jp

\*\* 浜松ホトニクス株式会社 電子管事業部 電子管営業部 (〒438-0193 静岡県磐田市下神増 314-5)  
HAMAMATSU PHOTONICS K.K., Electron Tube Division, Sales Department  
314-5 Shimokanzo, Iwata, Shizuoka 438-0193, Japan



## 2. ステルスダイシング技術の基本概念及び原理機構

### 2.1 ステルスダイシング技術の概要

ステルスダイシングの基本概念を図1に示す。

半導体ウェーハに対して透過性となる波長のレーザー光を対物レンズ光学系で半導体ウェーハ内部に焦点を結ぶように集光する。集光性が非常に高く、回折限界レベルまで集光可能で、高繰り返し短パルス発振可能なレーザービームは、集光点付近で時間的・空間的に圧縮されて局所的に非常に高いピークパワー密度状態を形成する。

半導体ウェーハに対して透過特性を示していたレーザービームが、その集光過程においてあるピークパワー密度を超えると、非線形吸収効果により局所的に非常に高い吸収特性を示す現象が発生する。

光学系及びレーザー特性の最適化により、半導体ウェーハ内部の焦点付近でのみ非線形吸収効果が発生するようにして半導体ウェーハ内部の表面や裏面にダメージを与えず、内部にのみ局所的・選択的なレーザー加工を可能にしている。

レーザービームと半導体ウェーハの相対位置を、ダイシングパターンに応じてステージ等の移動機構により高速スキャンをしてダイシング加工を実現している。

図2に不純物が何もドーピングされていないSi単結晶ウェーハの室温環境下における分光透過率特性<sup>(1)</sup>を示す。

本特性はウェーハ表裏面での反射損失の影響を除いて、ウェーハ内部における純粋な分光透過率を示している。

ウェーハの仕様(厚さ、不純物元素及びその濃度)に大きく依存するが、一般的にSi単結晶ウェーハは目安として波長1000nm程度から短波長側の可視域～紫外領域では吸収特性を示すのに対して、長波長側の近赤外領域では透過特性を示す傾向がある。

このような光学特性を示すSi単結晶ウェーハに対して、従来から様々なレーザーダイシング方式が検討されている。従来方式ではダイシング対象となるSi単結晶等の半導体ウェーハに対して、レーザー入射面からレーザーエネルギーを積極的に吸収させて発生する熔融切断、蒸散(アブレーション)及び熱切断といった物理現象が利用されている。従来レーザーダイシング方式の殆どがダイシング対象材質に対して吸収の高い波長のレーザーを採用しているため、原理的にレーザー加工時に発生する熱影響やデブリ汚染がデバイス特性や信頼性に与える影響が無視できず、大きな課題となっている。これに対してステルスダイシングは上述の通り、ダイシング対象となるSi単結晶等の半導体ウェーハに対して、透過性の波長を利用しているため、ウェーハ内部の焦点付近までレーザー光を導光可能となり、ウェーハ内部への局所的・選択的なレーザー加工が実現可能となる。そのため、実際にデバイスが形成されるウェーハ表層部へのダメージがなく、従来のアブレーション方式のレーザーダイシング技術で課題となっているアクティブ領域への熱影響やデブリ汚染、チップエッジにおけるマイクロクラック発生による抗折強度低下等の信頼性に与える影響が、ステルスダイシングでは解決可能となる。

実際にステルスダイシングにより分離した100µm厚のSiウェーハサンプル端面の顕微鏡観察結果を図3に示す。図1で示した概念図のレーザービーム方向(図中点線矢印表記)に関して、図3(a)はステルスダイシングによってレーザービーム方向に分離されたサンプルの断面を示しており、図3(b)はレーザービームに対して垂直な方向に劈開スライスした分離前のサンプル端面を示している。サンプルの厚さ100µm方向の中央部に40µm程度の幅で厚さ数µm程度のステルスダイシング層

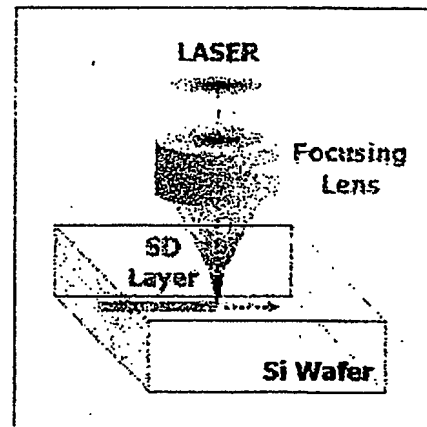


図1 ステルスダイシングの基本概念

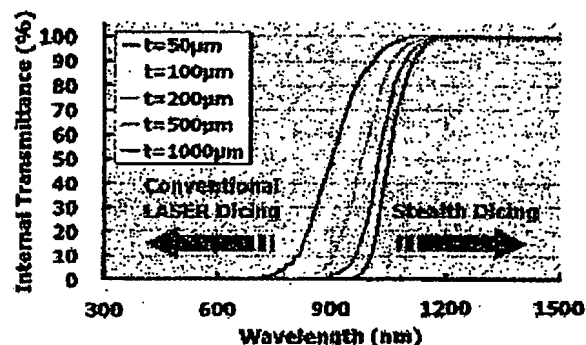


図2 Si単結晶ウェーハ分光透過率特性

(SD 層) が形成されており, SD 層形成領域の上下端からチップ表裏面方向に向かって垂直なクラックが発生している様子が伺える. チップ分離性はこの垂直クラックのチップ表裏面方向への成長に大きく依存している. このようにステルスダイシングは対象材質をその材質“内部”から切断する方式であるため, 対象材質を“外部”から切断する従来のレーザーダイシング方式とはその原理機構が明らかに異なっている.

図 4 に示すのは, 図 3 (a) とは異なった条件で加工したサンプル断面の SEM(Scanning Electron Microscope) 観察写真である. SD 層は縦長の空洞(ポイド) 部分とその上の溶融したような部分とで構成されていることがわかる. 上下一セットの空洞部分と溶融部分が, 加工レーザーパルスの 1 ショットに対応している. このような SD 層が加工対象材質内部で形成されるメカニズムについては, 別の機会に報告したい.

## 2.2 ステルスダイシング技術の加工機構

SD 層の定性的な状態を把握することを目的として, 図 5 に示すようにステルスダイシングによって分離された厚さ 100  $\mu\text{m}$  の Si サンプルチップを劈開スライスして TEM(Transmission Electron Microscope) 観察による SD 層の結晶状態評価を実施した.

TEM 観察結果から SD 層領域の結晶状態は高密度転位を伴う多結晶 Si 状態に改質されており, その厚さが数  $\mu\text{m}$  程度であることが確認できる.

チップ分離機構を考察する上で図 3 (b) の SD 層形成領域の上下端からチップ表裏面方向に向かって発生している垂直クラックの成長が非常に重要となる. 厚さ 100  $\mu\text{m}$  の Si サンプルを対象に, レーザスキャン方向に対して垂直な面に劈開スライスしたサンプルに関して, 未分離の状態ではラマン分光分析により SD 層及びその周辺の応力分布解析を実施した評価結果を図 6 に示す.

図 6 (a) で示される SD 層周辺の 40  $\mu\text{m} \times 40 \mu\text{m}$  エリアに関して, ラマン分光分析を実施し, そのラマンシフト量から図 6 (b) に示すような応力分布マッピングデータを取得した. マッピングデータ上で+は圧縮応力(Compressive), -は引張応力(Tensile)が作用していることを示し, その濃度が濃くなる程, より強力な応力が発生していることを示す.

図 5 で示した TEM 観察結果で高密度転位を伴う多結晶 Si 状態が観測された SD 層領域には非常に強力な圧縮応力が発生しており, その上下

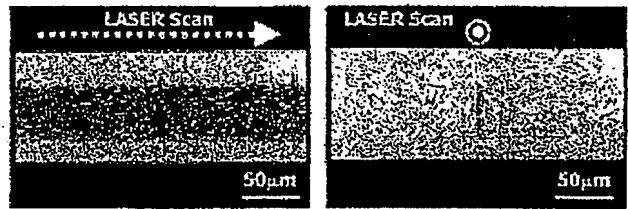


図 3 ステルスダイシングサンプルの顕微鏡観察

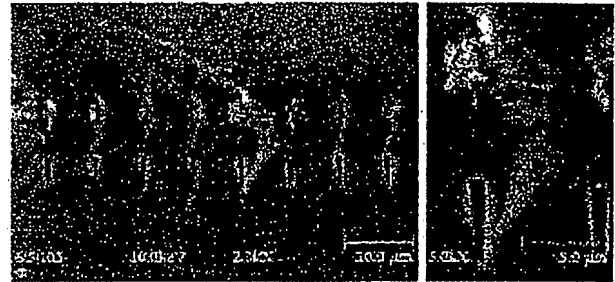


図 4 ステルスダイシングサンプルの SEM 観察

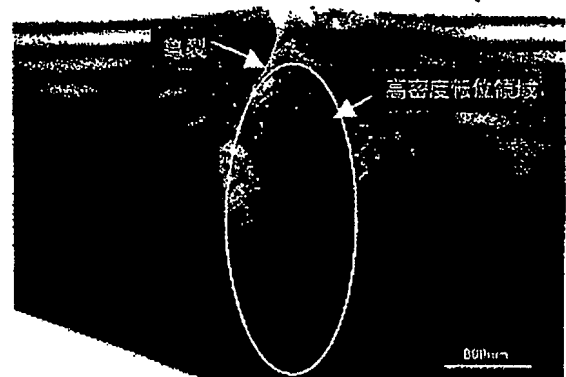
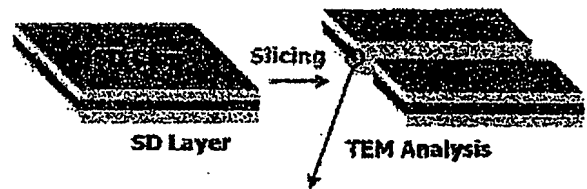


図 5 TEM 観察による SD 層の結晶状態評価

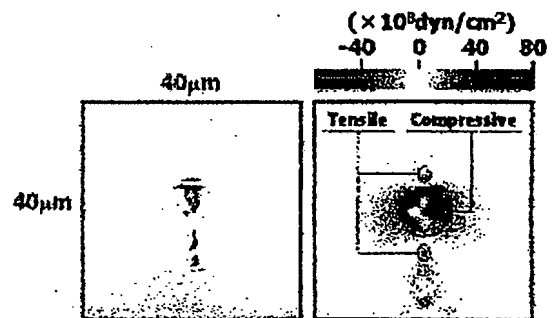


図 6 ラマン分光分析による応力分布解析

端に非常に強力な引張応力が発生している様子が伺える。SD 層領域で局所的な多結晶化に伴う体積膨張により、強力な圧縮応力が発生していると考えられる。仮に SD 層が球形状に形成されていれば、その周辺部の応力分布は SD 層から離れるに従って圧縮応力は徐々に緩和されるはずであるが、SD 層が非常に高いアスペクト比で形成されているため、SD 層上下端には非常に強力な引張応力が集中すると考えられる。

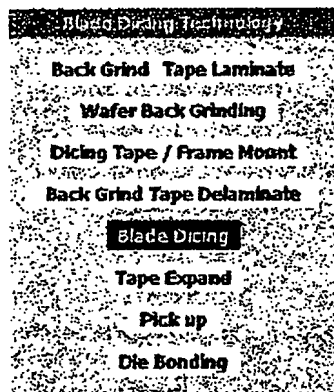
図 3 (b)で示した SD 層形成領域の上下端からチップ表裏面方向に向かって発生している垂直クラックは、局所的に非常に強力な圧縮応力が発生している高密度転位領域から発生しており、SD 層上下端に発生している非常に強力な引張応力によってチップ表裏面方向に向かって成長し易くなっているため、後述するテープエキスパンド等の外的応力によりチップ分離を可能にしていると考察できる。

以上がステルスダイシングの本質的な原理及び機構であると考えられる。

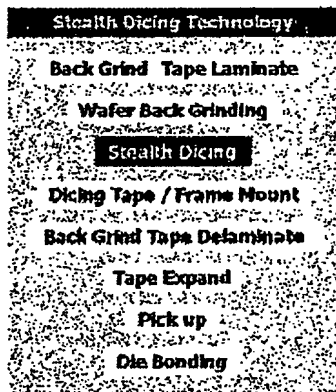
### 3. ステルスダイシング技術の適用

#### 3.1 ステルスダイシング技術の適用例

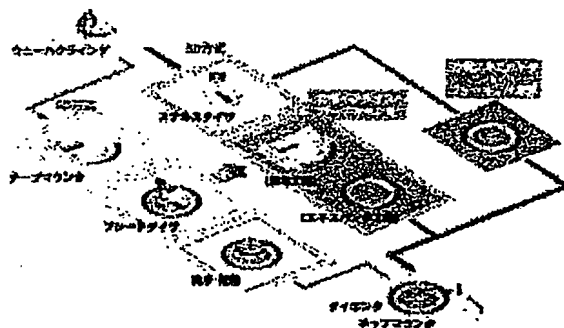
バックグラインド(BG)工程を伴う薄型半導体ウェーハのバックエンドプロセスに関して、従来のブレードダイシング(BD)方式及びステルスダイシング(SD)方式の適用例を図7 (a), (b)に示す。また、両者の工程比較を図7 (c)に示す。



(a)BD 方式



(b)SD 方式

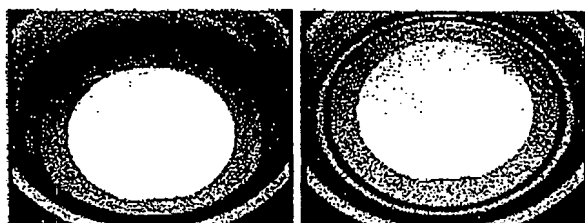


(c)工程のフローチャート

図 7 実際の工程比較

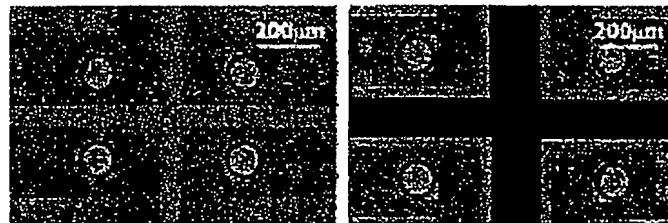
SD 方式の場合には BG 工程後、裏面研削面側からステルスダイシング加工を実施する。従来方式が BD 時に完全にチップ分離されるのに対して、SD 方式の場合、ステルスダイシング後は個々のチップは依然として一体化したウェーハのままの状態であり、その後テープエキスパンドにより初めてチップ分離される。また加工対象物によっては、図 7 (c)に示すようにステルスダイシング後のチップ分離工程においてテープエキスパンドとブレーキング装置を併用することも考えている。

テープエキスパンドによりチップ分離される様子を示すテープエキスパンド前後の状態を、図 8 に示す。



(a)エキスパンド前 (b)エキスパンド後

図 8 テープエキスパンド分離



(a)エキスパンド前 (b)エキスパンド後

図 9 テープエキスパンド前後のデバイスサンプル

図 8 はウェーハ外径 6 inch, 厚さ 100  $\mu\text{m}$  のステルスダイシング加工済みサンプルが, テープエキスパンドによって 5 mm $\times$ 5 mm サイズのチップに分離される様子を示す。

その分離しやすさの状態はステルスダイシング加工条件によって制御可能であるが, 基本的にはテープエキスパンド時に発生するチップ間隔を拡大する方向に作用する力を利用して, 個々のチップに分離される。

実際のステルスダイシング加工済みデバイスウェーハにおけるテープエキスパンド前後のダイシングストリート交差点付近の様子を図 9 に示す。

ステルスダイシング加工後, テープエキスパンド前の状態では図 9 (a)に示すように外観上は何ら変化がない (これがステルスダイシングの由縁となっている)。この状態でテープがエキスパンドされるに従って, 図 9 (b)のようにウェーハが SD 層形成パターンに沿って任意のチップ形状に小片化される。図 9 (b)における黒い十字形状の領域はテープエキスパンドによって新たに形成されたカーフを示している。

ステルスダイシングにおけるテープエキスパンド分離は従来方式に存在するテープエキスパンド工程を適用可能であるため, 従来方式と比較して工程数は変わらない。その一方で従来方式のメカニカルなブレードによる研削加工と異なり, レーザスキャンによる非接触加工のため, 加工速度の飛躍的な向上が可能となる。

加工速度と外観品質に関する BD 方式と SD 方式の定性的な比較を図 10 に示す。

ここでの加工品質は分離チップの外観品質を示している。

BD 方式は加工速度の高速化により, 加工品質の低下が顕著になる傾向があるのに対して, SD 方式は加工速度に大きく依存せず, 極めて高いレベルに加工品質が維持できることを示している。

この傾向はダイシング対象のウェーハ厚が薄くなるとより顕著に現れるため, 極薄デバイスに対して SD 方式の優位性は非常に高くなる。

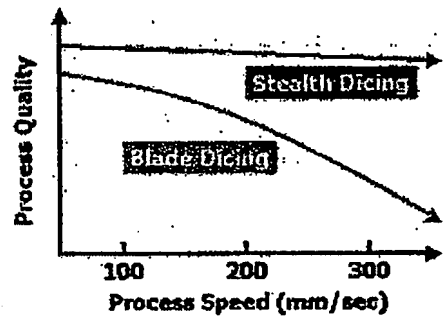


図 10 加工速度と外観品質の関係比較

### 3.2 ステルスダイシング技術の加工品質評価

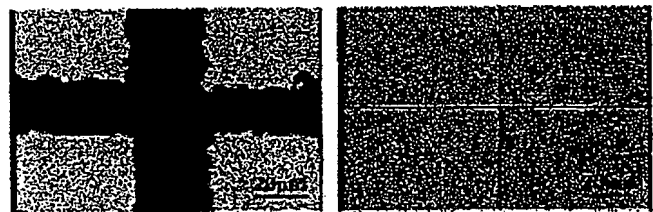
実際の加工サンプルにおける BD 方式と SD 方式の加工品質の比較を以下に示す。

図 11 は厚さ 100  $\mu\text{m}$  の Si ウェーハサンプルを対象にしたチップ表面側エッジにおける加工品質の比較例を示している。図 11(a) は BD 方式 (加工速度 100 mm/sec), 図 11(b) は SD 方式 (加工速度 300 mm/sec) のチップ表面付近ダイシングストリート交差点付近の顕微鏡観察結果である。

図 11 (a) の BD 方式の場合には, 原理的にブレード幅に相当したカーフロスが生じ, チップエッジに数  $\mu\text{m}$ ~10  $\mu\text{m}$  レベルのチッピングやクラックが発生しているのに対して, 図 11(b)の SD 方式の場合には, 加工速度は BD 方式の 3 倍であるが, チッピングやクラックの発生は無く, 図 10 で示した加工速度と加工品質の定性的な比較が確認できる。

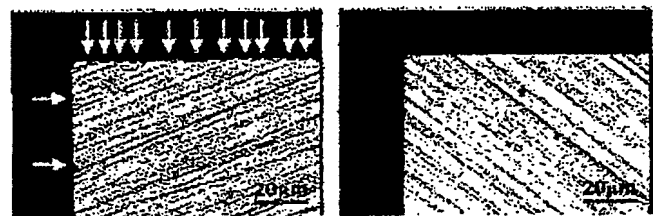
図 12 は厚さ 50  $\mu\text{m}$  (裏面 BG#2000) の

Si ウェーハサンプルを対象にした, チップ裏面側エッジの加工品質比較例を示す。図 12(a) は改良 BD 方式, 図 12(b) は SD 方式のチップ裏面エッジ付近の顕微鏡観察結果を示す。



(a) BD 方式 (b) SD 方式

図 11 表面側加工品質の比較



(a) 改良 BD 方式 (b) SD 方式

図 12 裏面側加工品質の比較

図 12(a)の改良 BD 方式は通常の BD 方式と異なり, 裏面エッジ品質の観点から優位性が高い方式<sup>(2)</sup>を採用しているため, 裏面チップングが極力抑えられた品質となっているが, 原理的には機械的な研削加工となるためバックグラインド面と同様にダイシングブレードが接触するチップ端面にも破砕層が生じてしまい, 裏面エッジに図中矢印で示すような数  $\mu\text{m}$  レベルのチップングが発生してしまう。これに対して図 12(b)の SD 方式の場合には, 裏面チップングの発生は完全に抑制されている様子が伺える。

実用上, 厚さ  $100 \mu\text{m}$  以下のデバイスの場合, このようなチップングは BG 面の破砕層と同様にチップの抗折強度を低下させる主要因となる。ハンドリングに支障ないレベルのチップ抗折強度を維持するためにその後のストレスリリーフ工程での対策が必要となるため, 裏面エッジチップングを抑制することは非常に重要となる。

図 12 で示した改良 BD 方式と SD 方式のチップサンプルの 3 点曲げ試験<sup>(3)</sup>による抗折強度評価結果を図 13 に示す。

評価対象サンプルの裏面仕上げ状態は図 12 で示したように BG#2000 であるため, その影響を低減させることを目的として 3 点曲げ試験荷重圧子の長尺方向が裏面研削痕と常に垂直になるようなチップサンプルをウェーハ上の特定位置から抽出して評価を実施した。SD 方式の抗折強度は改良 BD 方式と比較して, 平均値, 最大値及び最小値共に高い値を示し, 図 12 に示したチップ裏面エッジのチップング状態が反映されていると思われる。

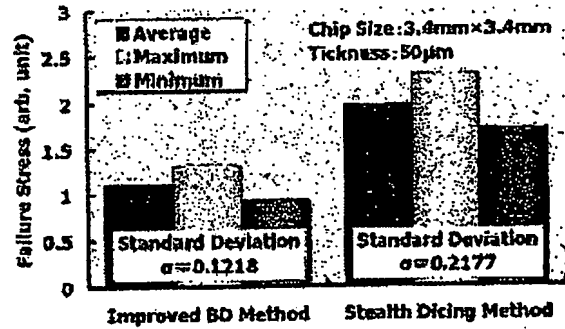


図 13 抗折強度評価結果の比較

#### 4. SD 技術の応用

##### 4.1 DAF(Die Attach Film)への適用

SD 加工の応用例として DAF への対応に関して紹介する。

ダイシング対象ウェーハの厚さが薄くなると図 7 で示したダイシング工程の次に控えるチップ実装工程で DAF が利用されており, 高密度実装デバイスの極薄チップを積層する場合にチップを積んで貼り合わせるための接着剤の役割を担っている。

従来の BD 方式では DAF がマウントされた極薄ウェーハをダイシングすることになるが, 原理的に機械的な切削加工となるため, 機械的な性質の異なる Si ウェーハと DAF を同時に高品位に切断することは非常に困難であり, DAF 材質の剥がれやまくれが発生し, デバイス特性や信頼性への影響が課題となっている。

これに対して SD 方式の場合には, 図 7 で示した SD 加工後に DAF のマウントが行なわれる。DAF マウント後, フレーム及びテープをマウントして, BG テープを剥離した後にテープエキスバンドをすることにより, Si チップサイズと同形状に DAF も分離される。

図 14 はテープエキスバンド分離後の DAF 付きサンプルチップの顕微鏡観察結果を示す。チップ端面, 表面及び裏面 (テープ側) の顕微鏡観察結果から, DAF のはみ出しや剥がれがなくチップ形状と同様にシャープな形状で分離されている様子が伺える。DAF-ウェーハ及び DAF-テープの密着強度が非常に高く, テープエキスバンド直前まではカーフ幅に相当するチップ間隔が "0" であるため, テープエキスバンド時, チップ分離と同時に DAF もチップ形状と同様に高品位に分離することが可能となる。従来のブレードダイシング方式ではブレード幅に応じたカーフ幅が必然的に存在するため, 同様の DAF 分離機構を適用することは困難であると思われる。

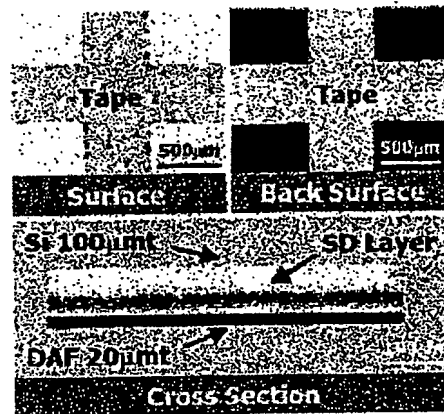


図 14 DAF 付きサンプル SD 加工適用例

#### 4.2 Low-k デバイスへの適用

前項でも述べたが従来の BD 方式は原理的に機械的な切削加工となるため、機械的な性質の異なる複合材質を高品位に切断することは非常に困難である。

今後、高速デバイスへの実用化が加速される Low-k 材質は層間絶縁膜の低誘電率化による動作速度の高速化を目的としているが、Low-k 材質自体の機械的強度が非常に低く、外部応力によって破壊されやすいため、原理的に従来の BD 方式では高品位にチップ化することが非常に厳しい状況である。また Low-k 材質の更なる低誘電率化に伴い、材質によってはドライプロセスが前提となり、本質的に BD 方式では解決できない課題が増えつつある。

このような背景から、近年、Low-k デバイスを対象に、レーザーによる非接触ダイシング加工技術の開発、実用化が活発に検討されている<sup>(4)</sup>。その方式は様々であるが、共通点は Si 及び Low-k 材質に対してレーザー出力を効率良く吸収させ、レーザーによるアブレーション（蒸散）という物理現象を利用してダイシング加工を実現している。

Low-k デバイスを対象に、レーザーアブレーション方式と SD 方式の加工品質の顕微鏡観察による比較を図 15 に示す。

図 15(a) は UV パルスレーザーによるレーザーアブレーション方式を適用した場合の顕微鏡観察結果を示す。レーザーアブレーションによってチップ化されたサンプルのエッジ部には熱影響による Low-k 多層膜のチッピングや膜剥がれの発生が認められ、その周辺部にはデブリ汚染が認められる。このような Low-k 多層膜のチッピング、膜剥がれ、デブリ汚染等はデバイスの特性や信頼性への影響が懸念されるため、解決すべき最重要課題の一つとなっている。

これに対して図 15 (b) の SD 方式の場合には、レーザーアブレーション方式で認められたチッピング、膜剥がれ、デブリ汚染等の発生は認められず、高品位加工の実現を確認できる。

また、図 15 (a), (b) において、デバイスパターンを基準とした場合にデバイスパターンからチップエッジまでの距離が異なっているが、これは BD 方式と同様にレーザーアブレーション方式によって生じるカーフロスを示している。

SD 方式は表裏面付近では切断加工に近いイメージでカーフロスは限りなく“0”に近いのに対して、レーザーアブレーション方式はこのカーフロスに相当した加工発塵が発生するため、その回収及び除去対策を検討する必要がある。

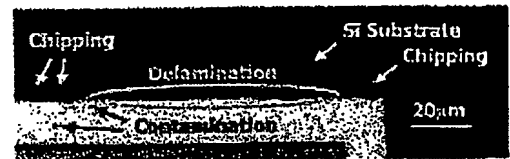
更にカーフロスはチップサイズが小さくなるとウェーハ当たりのチップ取率に顕著に効いてくるため、微小チップデバイスでは低カーフロス化が非常に重要な課題となる。

#### 4.3 MEMS(Micro Electro Mechanical System)への適用

近年、最先端の半導体製造技術を応用した MEMS 市場の急速な成長により<sup>(5)</sup>、Si 基板上に様々な形状を有する 3 次元構造体の形成された MEMS デバイスが登場し、半導体産業における新たな付加価値を次々と生み出している。

これら MEMS デバイスの独創性や新規性を導き出すためには、既存ダイシング工程の課題解決が必須となっている。

MEMS デバイスにおけるダイシング工程には、その性質上、ドライプロセスが理想となり、外的衝撃にも非常に敏感であるため、本質的に従来の BD 方式の適用は難しく、技術革新が望まれている。このような背景から MEMS 関連デバイスの、ステルスダイシングに対する市場要求が顕著になっている。MEMS デバイスへのステルスダイシング加工適用例として、センサー関係デバイス MEMS チップの SEM 観察結果を図 16 に示す。



(a) レーザーアブレーション方式



(b) SD 方式

図 15 Low-k デバイス加工比較



(a) チップ全体 (b) エッジ部周辺拡大

図 16 SD 加工適用 MEMS チップの SEM 観察

図 16 (a) は厚さ 300  $\mu\text{m}$ , チップサイズ 2 mm $\times$ 2 mm の中央部に数  $\mu\text{m}$  厚の凹部が存在し, その反対側にデバイスが形成されている MEMS デバイスの, 全体の観察結果を示す。

このようなサンプルの場合, 従来の BD 方式ではダイシング時のブレードや洗浄水による外的衝撃によりチップ中央部の極薄部を破損し易いため, その適用が困難である。

図 16 (b) は (a) の手前エッジ部周辺の拡大観察映像を示しており, チッピングやクラックの発生がなく, 非常にシャープなエッジを確認することができ, その端面には SD 層の存在を確認することができる。

## 5. ステルスダイシング技術のデバイス特性への影響

ステルスダイシングによるデバイス特性への影響を定量的に評価することを目的として, 図 17 に示すような, フォトダイオードテストパターンを対象に実施した電気的特性の評価結果の一例を紹介する。フォトダイオードの受光面(Active Area)端からチップエッジまでの距離 (図 17 中 D 表記,  $D=20\ \mu\text{m}/50\ \mu\text{m}/100\ \mu\text{m}$ ) をパラメータとして, BD 方式と SD 方式の逆電圧-暗電流特性を比較評価した結果を図 18 に示す。

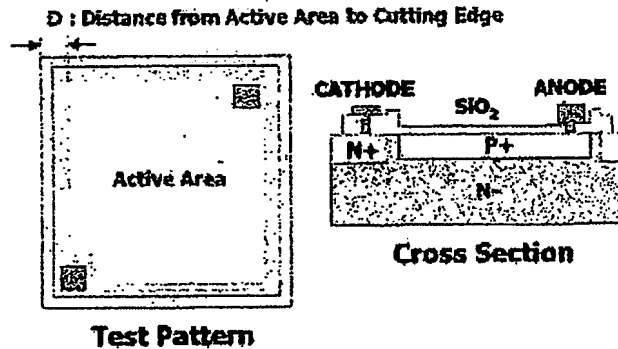


図 17 フォトダイオードテストパターン

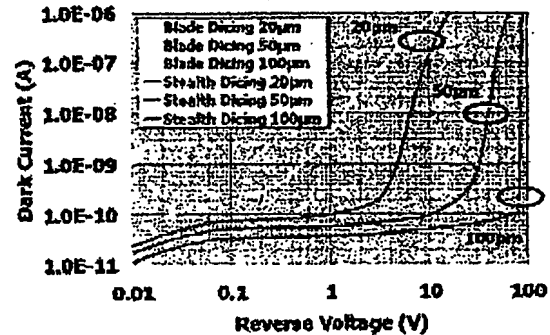


図 18 フォトダイオードの逆電圧-暗電流特性

BD 方式, SD 方式, 共に D の値が小さくなるに従って, ブレークダウン電圧 (暗電流が急激に上昇する逆電圧) が低くなる傾向を示しているが,  $D=20\ \mu\text{m}$  の場合に BD 方式と SD 方式で顕著な差が生じている。この特性評価は評価対象デバイスに依存するが, BD 方式と比較して SD 方式がデバイス特性に影響を及ぼす範囲が狭く, デバイス端からチップエッジまでの距離を更に短くすることができるという可能性を示唆している。

## 6. 結 言

本稿ではステルスダイシング技術の基本原理, 機構及びその応用例に関して記述した。ステルスダイシングはその材質を透過する波長のレーザー光を材質内部に集光して, 近傍に局所的な加工変質層を選択的に形成し, 材質を“内部”から分断する技術である。対象材質を“外部”から切断する従来のダイシング方式とはその原理機構が全く異なるため, これまで解決が困難とされていた課題を乗り越える潜在能力を秘めている。

現時点では Si 半導体ウェーハを中心に実用化を推進しており, ステルスダイシング要素技術を集約し, レーザ及び光学系をモジュール化した SD エンジンを業務提携先の東京精密殿に供給販売しており, 同社との間で共同開発した MAHOHDICING MACHINE (図 19 参照) を市場へ投入し, 実用化を推進している。

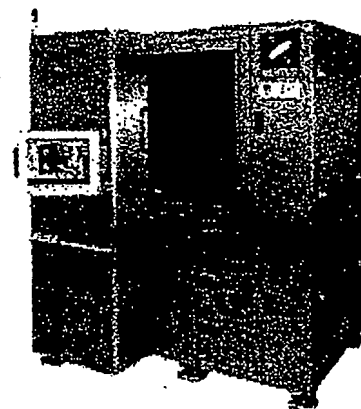


図 19 MAHOHDICING MACHINE

ステルスダイシング技術はその高い潜在能力により Si ウェーハ以外にも化合物半導体, ガラス, サファイア等, その他の材料へ適用範囲を急速に拡大している。現在, それらの市場要求に対応すべく新たな SD エンジンの開発を推進している。今後, 市場要求に迅速に対応して適用範囲の更なる拡大を目指して実用化提案を推進する予定である。

#### 参 考 文 献

- (1) E.D. Palik ed.: Handbook of Optical Constants of Solids, Academic Press, San Diego, (1985) 547.
- (2) 有田潔, 岩井哲博, 土師宏, 新田永留夢, 狛豊, 荒井一尚: プラズマによるウエハ加工変質層の除去技術, 8th Symposium on "Microjoining and Assembly Technology in Electronics" ,(2002),87
- (3) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries "Recent Status of Thin Wafer Chip (Die) Mounting" - Challenge for Less Than 25mm in Thickness - December 2003.
- (4) 荒井一尚: Low-k/Cu 配線半導体デバイスのダイシング技術, 第 60 回レーザー加工学会論文集,(2003),29
- (5) Technical Programs for the Global Semiconductor, Flat Panel Display, MEM's and Related Microelectronics Industries "7th SEMI Microsystem MEMS Seminar" December 2003.



第 63 回レーザー加工学会大会

開催日：平成 17 年 5 月 25 日, 26 日

場 所：クリエイション・コア東大阪

第 63 回大会実行委員会

- ・委員長 片山聖二
- ・副委員長 伊東一良
- ・プログラム委員長 大家利彦
- ・委員 石出 孝, 小野守章, 北側彰一,  
金高健二, 實野孝久, 中田芳樹,  
新納弘之, 三好隆志, 渡辺 歴

第 63 回レーザー加工学会講演論文集

ISBN : 4-947684-58-5

平成 17 年 5 月発行

発行所 レーザ加工学会  
編集代表者 宮 本 勇  
〒567-0047 大阪府茨木市美穂ヶ丘 11-1  
大阪大学接合科学研究所 社団法人高温学会内  
(06) 6879-8642

印刷所 大阪大学生協同組合  
〒560-0043 豊中市待兼山町 1-9  
(06) 6841-1967

#### 8.4.6 Polarization

The electric field vector of light oscillates perpendicularly to its propagation direction, polarization being generated by the directionality of this electric field vector. As shown in FIG. 8.15 (c), linear polarization occurs when the electric field vector has only one direction; when this electric field vector direction rotates circularly with time, as in (a), [the phenomenon] is called circular polarization, and elliptical polarization when, as in (b), it rotates elliptically. There is also random polarization, in which the direction of the electric field vector changes irregularly over time.

FIG. 8.15 Polarization

(a) circular polarization (b) elliptical polarization (c) linear polarization

FIG. 8.16 Cut surface condition with respect to polarization

laser beam

cutting direction

material

linear polarization          circular polarization

FIG. 8.16 shows the condition of the cut surface with respect to polarization. The circular polarization in (d) has no directionality and is therefore not problematic, but linear polarization, as in (a) through (c), results in large changes in the condition of the cut surface depending on the relationship between polarization direction and cut surface direction. It is therefore preferable to use circular polarization whenever possible; however, achieving a perfectly circular polarization is difficult, and in practice a somewhat elliptical

polarization is obtained. The ratio (%) between the major and minor diameters of the ellipse is called the degree of circular polarization, which is 100% for perfectly circular polarization and 0% for perfectly linear polarization.

5           FIG. 8.17 Method for obtaining circular polarization

STR: linear polarizing mirror

R: retarder

TR: total reflector

PR: partial reflector

10           FIG. 8.18 Polarization and slant of the cut groove

Cut groove

Cutting direction

Cutting direction

Upper dimension  $l_2$

15           Lower dimension  $l_1$

In terms of incident light on the reflection plane, the vectors parallel to the plane of incidence are called a P-wave while the perpendicular vectors are called an S-wave. The reflectance of the S component is higher than that of the P component. Thus, as shown in FIG. 8.17, [light] is reflected by a STR inside the oscillator in order to remove the high-reflectance S waves and obtain linear polarization . Next, one of the vector components is phase shifted  $90^\circ$  using a  $1/4$ -wave plate R (a plane mirror with a special coating) called a retarder, to achieve circular polarization.

25           As shown in FIG. 8.18, the slant of the cut surface caused by polarization changes and reverts in accordance with the cut direction.

In the figure,  $|l_1-l_3|$  increases as the degree of circular polarization decreases and as the plate thickness increases, with work precision becoming worse. FIG. 8.19 plots the measurements of the relationship between the degree of circular polarization in a 2mm plate thickness SPC and  $|l_1-l_2|_{\max}$ .

Also, as illustrated in FIG. 8.20, the amount of slit shift  $L$  on the rear face is measured by processing 8 centrally directed slits spaced at  $45^\circ$  intervals. The maximum value of  $L$ ,  $L_{\max}$ , is the same as the aforementioned  $|l_1-l_3|_{\max}$ .

The influence of polarization on work precision, for instance .../...

FIG. 8.19 Example of the relationship between degree of circular polarization and  $|l_1-l_2|_{\max}$ .

Average output: 150W

Work speed: 0.3m/min

Degree of circular polarization (%)

Supervisor – Authors

(Supervisor) Kunihiko SATO

Graduated from Tohoku University, Faculty of Engineering, Dept. of Mechanical Engineering in 1960

Director of Mitsubishi Electric Corporation, Nagoya Works

(Authors)

Akira ISHII

Graduated from Tokyo University, Faculty of Engineering, Dept. of Mechanical Engineering in 1956

Mitsubishi Electric Corporation, Nagoya Works, Development Dept.

Shigenori YAGI, Doctor of Engineering

Graduated from Tokyo University, Graduate School, (Electric Engineering) in 1972

Mitsubishi Electric Corporation, Central Research Institute prior to

Deputy Director of the Laser Manufacturing Dept. of the firm's  
Nagoya Works

CO<sub>2</sub> Laser Processing Technology

NDC532

December 21, 1992

1<sup>st</sup> Edition, 1<sup>st</sup> Printing

(Price on cover)

5

Supervisor

Kunihiko SATO

© Authors

Akira ISHII

Shigenori YAGI

Publisher

Toshio FUJIYOSHI

Publishing Office

Nikkan Kogyo Shimbun Ltd.

10

1-8-10 Kudankita, Chiyoda-ku, Tokyo, 102

Telephone:

Editorial Dept. Tokyo (3222) 7090 – 7092

Sales Dept. Tokyo (3222) 7131 / 7084

Postal transfer account Tokyo 9-186076

Production

Nikkan Kogyo Publishing Production

15

Coral (Ltd)

Typesetting: Ryokusha (LLC)

Printing: Banyu Co.

Binding: Miyairi Bookbinding

Books with missing or disordered pages will be replaced.

1992 Printed in Japan

20

ISBN 4-526-03248-4

3.398 Yen

付けを再調整すべきである。それでも改善されない場合には、加工レンズに問題があることが多いので、レンズを交換してみるとよい。



8.4.6. 偏光

光は進行方向と直角に電界ベクトルが振動しており、この電界ベクトルの方向によって偏光が生じる。図8.15.(c)に示すように電界ベクトルの方向が一方方向だけの場合は直線偏光であり、この方向が時間とともに(a)のように円

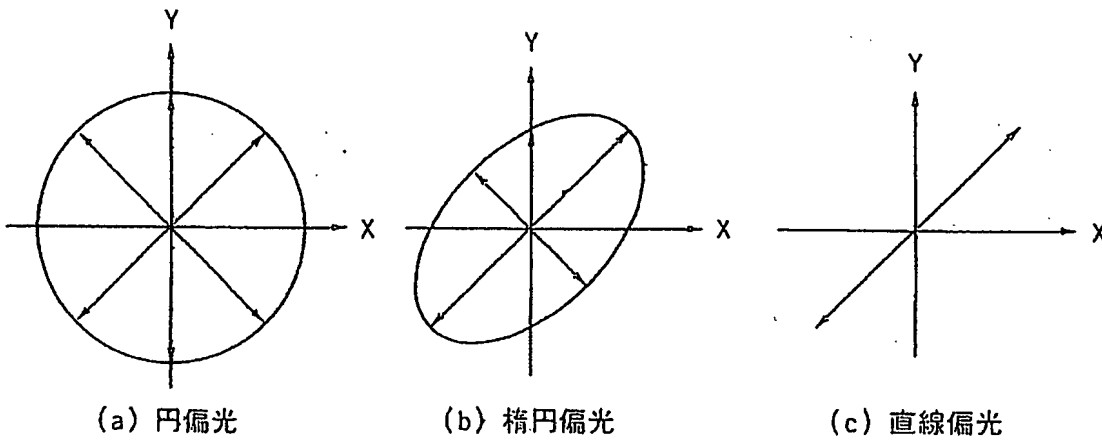


図8.15. 偏光

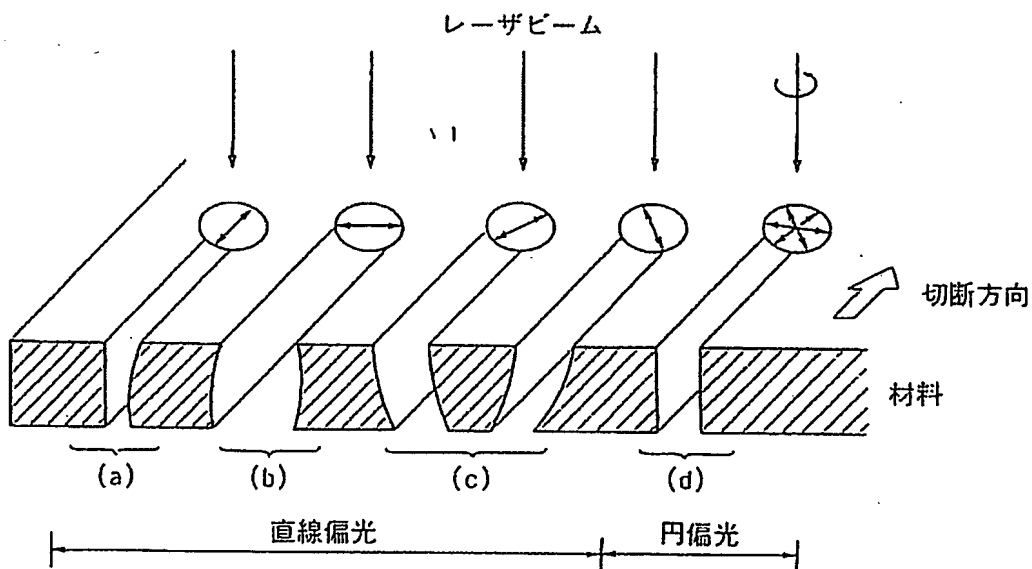


図8.16. 偏光による切断面の状態

形に回転する場合は円偏光, (b) のように楕円形に回転する場合は楕円偏光という。また, 電界ベクトル方向が時間とともに不規則に変動する場合をランダム偏光という。

偏光による切断面の状況を図 8.16 に示す。図の (d) の円偏光の場合は方向性がないので問題がないが, 直線偏光の場合は (a) ~ (c) のように偏光の方向と切断方向との関係によって切断面の状態が大きく変化する。このため, なるべく円偏光を使うのが望ましいが, 完全な円偏光は得がたく, 実際にはある程度の楕円偏光となる。楕円の長径と短径との比 (%) を円偏光度と呼ぶと,

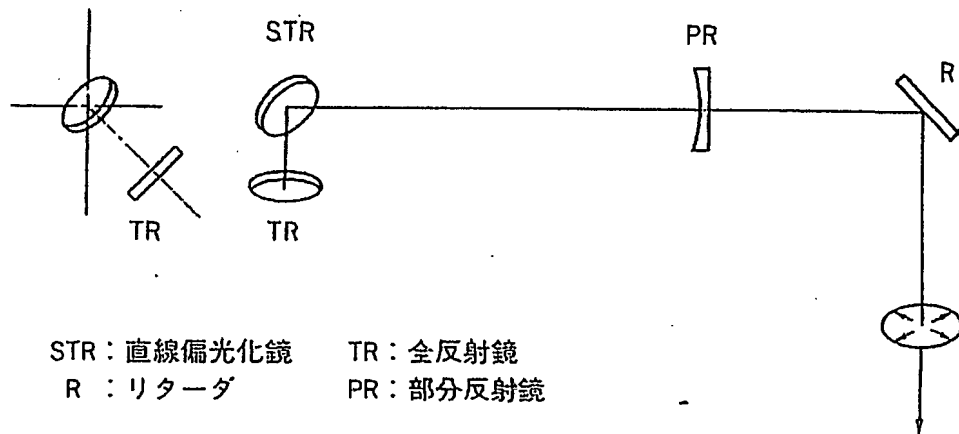


図 8.17. 円偏光を得る方法

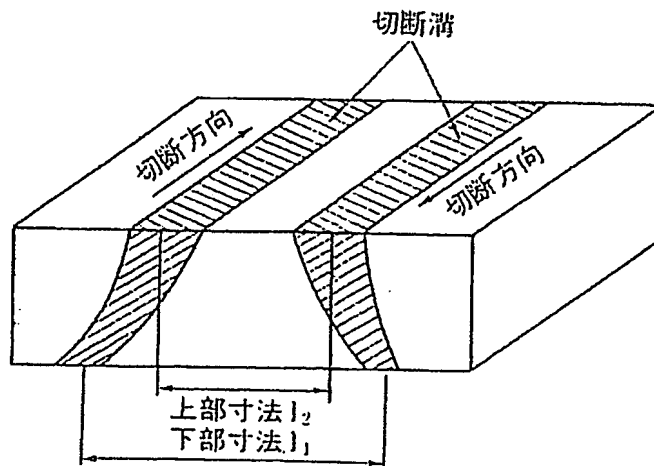


図 8.18. 偏光と切断溝の傾斜

完全な円偏光は円偏光度100%，完全な直線偏光は円偏光度0%である。

反射面に入射する光を考えた場合，入射面に並行のベクトルをP波，直角のベクトルをS波と呼ぶ。反射率はP成分よりS成分が大きい。そこで，図8.17.に示すように，発振器内部でSTRにより反射させて，反射率の高いS波を取り出すことによって直線偏光とする。次にリターダと呼ばれる1/4波長板R（特殊なコーティングをした平面鏡）によりベクトル成分の内的一方を90°位相をずらして円偏光にする。

偏光が原因となる切断面の傾斜は図8.18.に示すように切断方向により傾きが変化したり逆になったりする。図中の $|l_1 - l_2|$ は円偏光度が小さいほど，板厚が大きいほど大きくなり，加工精度が悪くなる。図8.19.は板厚2mmのSPCにおける円偏光度と $|l_1 - l_2|_{max}$ との関係を測定したものである。

また，図8.20.に示すように45°間隔で中心方向に向かう8本のスリットを加工し，裏面でのスリットずれ量Lを測定する。Lの最大値 $L_{max}$ は前記の $|l_1 - l_2|_{max}$ と同じものである。

偏光の加工精度に及ぼす影響は，例えば正8角形などの各対辺寸法がばらつ

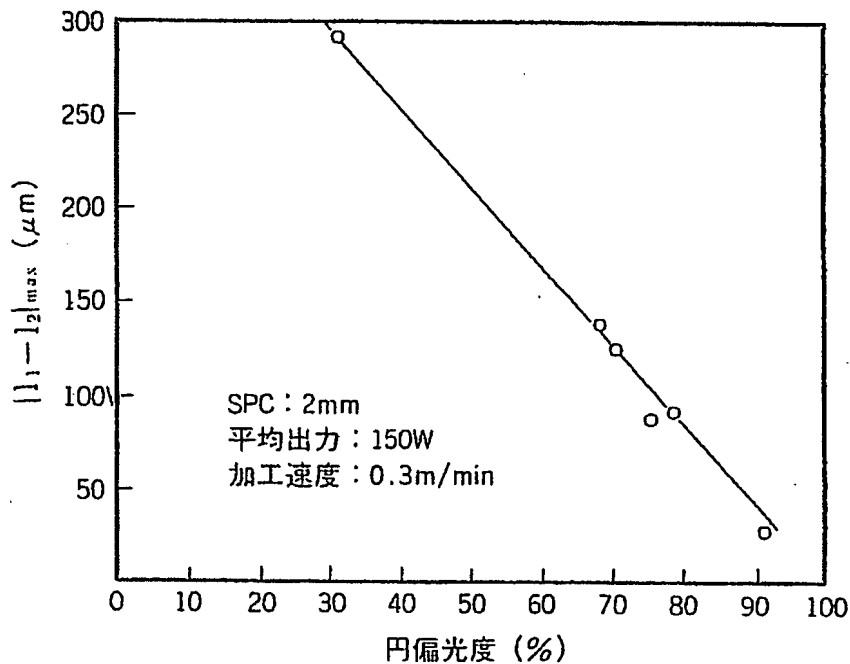


図8.19. 円偏光度と $|l_1 - l_2|_{max}$ との関係例



監修者・著者紹介

(監修者) 佐藤國彦 (さとう くにひこ)

昭和 35 年 東北大学工学部機械工学科卒業  
三菱電機株式会社 名古屋製作所所長

(著者) 石井 明 (いしい あきら)

昭和 31 年 東京大学工学部機械工学科卒業  
三菱電機株式会社 名古屋製作所開発部

八木重典 (やぎ しげのり) 工学博士

昭和 47 年 東京大学大学院 (電気工学) 卒業  
三菱電機株式会社 中央研究所を経て  
同社名古屋製作所レーザー製造部次長

CO<sub>2</sub> レーザ加工技術

NDC 532

1992 年 12 月 21 日 初版 1 刷発行

(定価はカバーに表  
示されております)

監修者 佐 藤 國 彦

◎ 著 者 石 井 明  
八 木 重 典

発行者 藤 吉 敏 生

発行所 日 刊 工 業 新 聞 社

〒102 東京都千代田区九段北 1 丁目 8 番 10 号

電話 編集部 東京 (3222) 7090~7092

販売部 東京 (3222) 7131・7084

振替口座 東 京 9-186076

製 作 日刊工業出版プロダクション

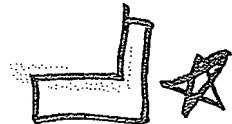
(株) コーラル

(組版: (有) 緑 舎)  
(印刷: 萬 友 社)  
(製本: 宮 入 製 本)

☆落丁本, 乱丁本は, お取り替えいたします。 1992 Printed in Japan

ISBN4-526-03248-4

¥ 3,398-



## 1. Introduction

Additional  
(7517) (指示)

The tendency that recent advancement in highly integrated devices promotes the introduction of laser processing has been observed even in the wafer dicing field in which cutting is mainly performed with a diamond plate in conventional practice. Three main factors of this tendency are listed below:

- (1) Thinner film formation for a semiconductor chip,
- (2) Introduction of a low dielectric constant (hereinafter indicated as low-k) film,  
and
- (3) Street (cut margin for dicing) reduction for an improvement in the chip yield.

In this document, of a wide variety of laser technologies, the several technologies applicable to the wafer dicing will be described.

## 2. Technologies applicable to laser dicing

As indicated in FIG. 1, three representative examples are listed.

### 2.1 Extremely short pulse irradiation non-thermal processing

Extremely short pulse laser irradiation in a picosecond level with an ultraviolet wavelength instantly evaporates a Si wafer.

In recent years, laser engines have been developed which are oscillatable with a repetition frequency of approximately 100 kHz, and feasibility of laser dicing targeted on a thin-film wafer (of approximately 50  $\mu\text{m}$ ) has been proved. Accordingly, this requires development of corresponding dicing tapes and bonding tapes, but a new process including a pre-process and a post-process can be expected to be proposed in near future.

### 2.2 Laser cutting 1

A microcrack, the first trigger for cracking, is formed in the wafer edge. Next,

the vicinity of the crack is irradiated with a CO<sub>2</sub> laser so that the crack is extended. Then the crack is directly guided by the CO<sub>2</sub> laser spot to cut the wafer (see FIG. 2).

When the workpiece has crystal orientation, there arises a problem of difficulty in controlling the cutting direction because the crystal orientation takes precedence over the beam guidance direction. This technology has been long adopted in cutting liquid crystal glass and is effective for workpieces, such as glass, having no crystal orientation.

### 2.3 Laser cutting 2

This technology is based on the same principle as that of conventional glass internal marking. This technology is a technology by which, in case of a Si wafer, using a wavelength of near 1 $\mu$ m that permits transmission through the Si wafer, condensation is made inside the wafer and modifying layers (cohesive layers for the Si wafer) are continuously formed, thereby triggering cutting (see FIG. 3).

## FIG. 1 Various laser technologies

### Extremely short pulse irradiation non-thermal processing (Ablation)

A material is instantly evaporated by a short pulse laser in psec order, thus causing no thermal damage.

### Laser cutting 1

Only a material serving as a transparent body for a near-infrared wavelength (near 1000 nm) is applicable. Zero kerf loss.

### Laser cutting 2

After formation of initial crack, the crack is guided by a CO<sub>2</sub> laser.

ceramic

FIG. 2 Laser Cutting 1

Laser beam

Cross section of wafer

Beams having a wavelength of approximately  $1\mu\text{m}$  can transmit through the silicon wafer.

The laser is condensed on the center of the work.

The silicon molecule absorbs light photons, and thus silicon molecular binding is broken.  $\rightarrow$  Base cutting

FIG. 3 Laser cutting 2

Si wafer  $\rightarrow$  Diamond point or short pulse laser  $\rightarrow$  Laser beam

Initial crack

Cross section

FIG. 4 Silicon modifying layer 1 silicon ( $t200\mu\text{m}$ )

Cross section 1      Condition of modifying layer

Cross section 2      Condition of modifying layer

FIG. 5 Silicon modifying layer 2      Vertical cracking requires control of the position of the modifying layer.

FIG. 6 Silicon modifying layer 3

FIG. 7 Chip dividing by laser dicing

FIG. 8 Why the low-k film is removed by a laser?

Blade dicing

Delamination

Laser grooving

Laser grooving + blade dicing

No delamination and no debris (after spinner cleaning)

FIG. 9 Why the low-k film is removed by a laser?

Example of structure

Passivation film

Void

Low-k (low dielectric constant) materials have less mechanical strength than  $\text{SiO}_2$ .

As a result, it becomes difficult to perform processing with a blade.

Dielectric constant and strength of insulating layer

Design rule

Insulating layer

Dielectric constant  $\epsilon$

Void diameter (nm)

Depletion rate (%)

Young's modulus

FIG. 4 shows the actual condition of the modifying layer.

This technology is also applicable to cutting of a relatively thick wafer. As

shown in FIG. 5, in accordance with the wafer thickness, through several times of irradiation, modifying layers are so formed as to be superimposed in several stages. However, when the modifying layer width is small for a thick wafer, oblique cracking occurs as shown in FIG. 6.

A problem concerned with this technology is treatment of the wafer after the formation of the modifying layers. Since cutting is performed with a kerf loss (cut-out margin) of 0, great chipping tends to occur due to contact between the chips. Thus, a system shown in FIG. 7 which quickly performs laser irradiation → cutting → Expansion is required.

### 3. Low-k film grooving

In a currently available application in actual practice, the low-k film is grooved (removed) by a laser, and then the wafer is completely cut with a conventional diamond blade. When the low-k film is diced with a blade only, as shown in FIG. 8, a phenomenon is observed in which the low-k film separates from the end of the kerf. Various low-k films are currently available, but they all have weak mechanical strength and hardly conform with other materials (have good adhesiveness). Therefore, separation occurs at the interface between the Cu wiring and the low-k material (see FIG. 9). Thus, specifically, the wiring layer of the device surface is first grooved by laser irradiation, and then the Si wafer of the substrate is cut with a blade that is thinner than the grooved width under the condition that the side surface of the blade is not in contact with the wiring layer (see FIGS. 10 and 11).

FIGS. 12 and 13 show laser saw developed by Disco Corporation for low-k film grooving.

FIG. 10 Low-k device process 1

Step 1

Street width

Low-K layer

Laser grooving

Step 2

Blade dicing full cut

(Step cut)

(One path cut)

FIG. 11 Low-k device process 2

FIG. 12 Laser saw device and laser saw processing point

FIG. 13 Work flow

Processing position

Laser oscillation part

Spinner

Pre-alignment stage

Cassette

Device front surface

4. Future trends

In the laser cutting technology, the two methods described above have been conventionally adopted and accordingly established for glass processing. This

technology seems applicable to a thin-film wafer and street reduction; however, the end of a cut chip is very sharp, thus possibly causing to various problems in the treatment of the chip in a conventional assembly device. Therefore, it is required to make overall optimization on the package process. Repeating an extremely short pulse laser many number of times is a very promising technology, but also suffers from many problems to be solved, involved in an improvement in the reliability of the oscillator itself, the development of peripheral sub materials, etc.

The laser is a promising technology in future wafer dicing. However, the laser itself is not an independence process but part of a process, so that various correlations with a pre-process and a post-process cannot be ignored. Thus, development of laser dicing technologies needs to be carried out, focusing not only on simply dividing the Si wafer but also on maintaining consistency in the entire package process.